# CONSOLE AUSILIARIA SUCE 2
# (SIMULATORE CPU 19)

Descrizione di Funzionamento

Codice pubblicazione : 9756.30.1
Codice aggiornamento : 02
Settembre 1977

- Generalita' . . . . . ▽
- Consolle di comando . . . . . 1
- Modulo XD 4000 S . . . . . 2
- Gruppo cartolina . . . . . 3
- Piastra alimentatore . . . . . 4
- Piastra GOTE . . . . . 5

NOTA

La piastra INSU non e' stata qui menzionata data la sua semplicita'.
Fare affidamento alla documentazione DISL.

# GENERALITÀ

# INDICE


DESCRIZIONE GENERALE . . . . . pag. ∇.01

• USO DEL SUCE 2 DA PARTE DELLO STAC . . . . . " ∇.01

• CARATTERISTICHE FISICHE DEL SUCE 2 . . . . . " ∇.02

• CONNESSIONE DEL SUCE 2 AI SISTEMI IN PROVA . . . . . " ∇.05

PRESTAZIONI DEL SUCE 2 . . . . . " ∇.07

• ASSETTI DI LAVORO . . . . . " ∇.07

• MICROCOMANDI MANUALI (ASSETTO MICROPROGRAMMA E PASSO PASSO) . . . " ∇.07

- Impostazione dei microcomandi manuali . . . . . " ∇.08
- Dati visualizzati sui display DATA e ADDRESS in assetto microprogramma . . . . . " ∇.09
- Controllo del livello di lavoro col SUCE 2 . . . . . " ∇.10
- Esempio di introduzione manuale di un microprogramma . . . . . " ∇.10

• ESECUZIONE DI MICROPROGRAMMI . . . . . " ∇.12

- Alt indirizzato in microprogramma . . . . . " ∇.12
- Test point di alt indirizzato . . . . . " ∇.12

• TRATTAMENTO DEL SUCE 2 A LIVELLO PROGRAMMA . . . . . " ∇.13

- Microistruzioni per la gestione dei display DATA e ADDRESS in assetto programma . . . . . " ∇.13
- Informazioni da SUCE 2 in assetto programma . . . . . " ∇.13
- Microistruzioni per la gestione delle informazioni da SUCE 2 in assetto programma . . " ∇.14
- Gestione dell'alt indirizzato in assetto programma . . . . . " ∇.14

• UNITA' A CARTOLINE MAGNETICHE . . . . . " ∇.16

- Registrazione delle cartoline magnetiche . . . . . " ∇.16
- Lettura delle cartoline magnetiche . . . . . " ∇.16

# DESCRIZIONE GENERALE

Il SUCE 2 è una consolle ausiliaria che permette di operare sui sistemi che usano il CPU 19.

Le operazioni che il SUCE permette di eseguire sono le seguenti:

1) Introduzione di microcomandi da tastiera del SUCE 2 dei quali ognuno fa eseguire sul CPU 19 una o due microistruzioni.
   Il set di microcomandi è stato studiato per caricare e leggere in memoria e sullo Scratch pad informazioni di ogni genere: dati microprogrammi o programmi.
2) Debug di microprogramma contenuti in RAM o in ROM.
   Sul display del SUCE 2 è infatti possibile seguire i lavori svolti delle microistruzioni una ad una.
3) Debug di programmi.

## USO DEL SUCE 2 DA PARTE DELLO STAC

Il servizio STAC utilizza il SUCE 2 come apparecchiatura da laboratorio per la riparazione dell'hardware dei sistemi che utilizzano il CPU 19. Per facilitare la riparazione, è stata studiata e resa disponibile su cartoline magnetiche una serie di microprogrammi diagnostici che operano sui diversi moduli che compongono il sistema.

Ognuno dei microprogrammi diagnostici, sollecita tutti gli organi di ogni modulo (RAM, FLODI, GIPS 3 ecc. ) ed evidenzia sul display del SUCE 2 le anomalie che vengono riscontrate.

## CARATTERISTICHE FISICHE DEL SUCE 2

Il SUCE 2 (fig. ▽.1) è composto dai moduli:

- Consolle di comando ①
- Unità logica SUCE 2 ②
- Piastra INSU di prelievo segnali ③
- Piastra GOTE ④*
- Piastra prolunga a doppia contattiera. ⑤*

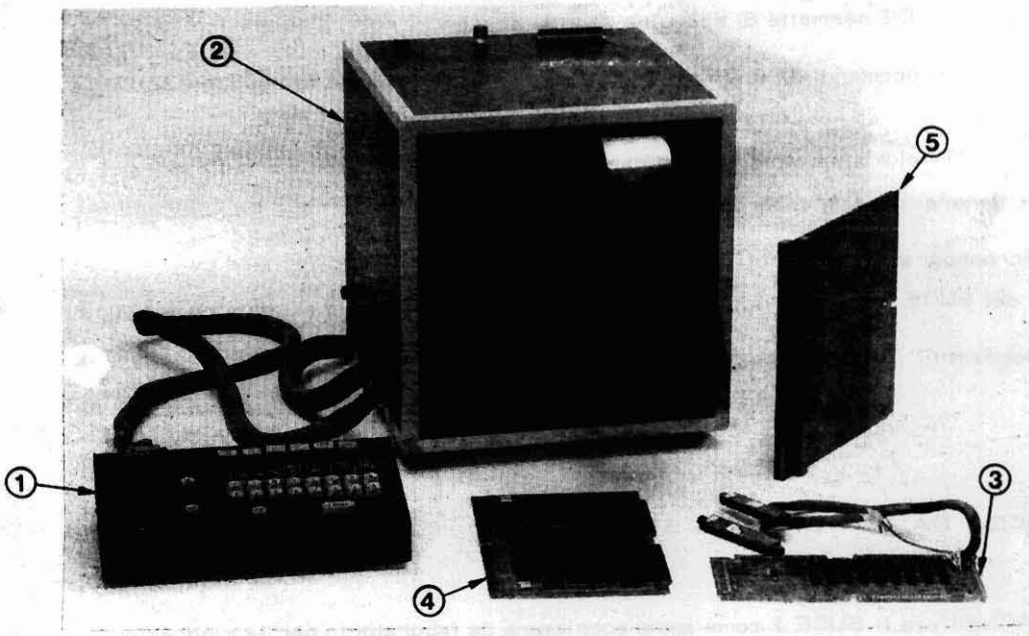



fig. ▽.1

*Opzioni

La consolle di comando comprende una serie di display indicatori luminosi come è riportato in fig. ▽.2.

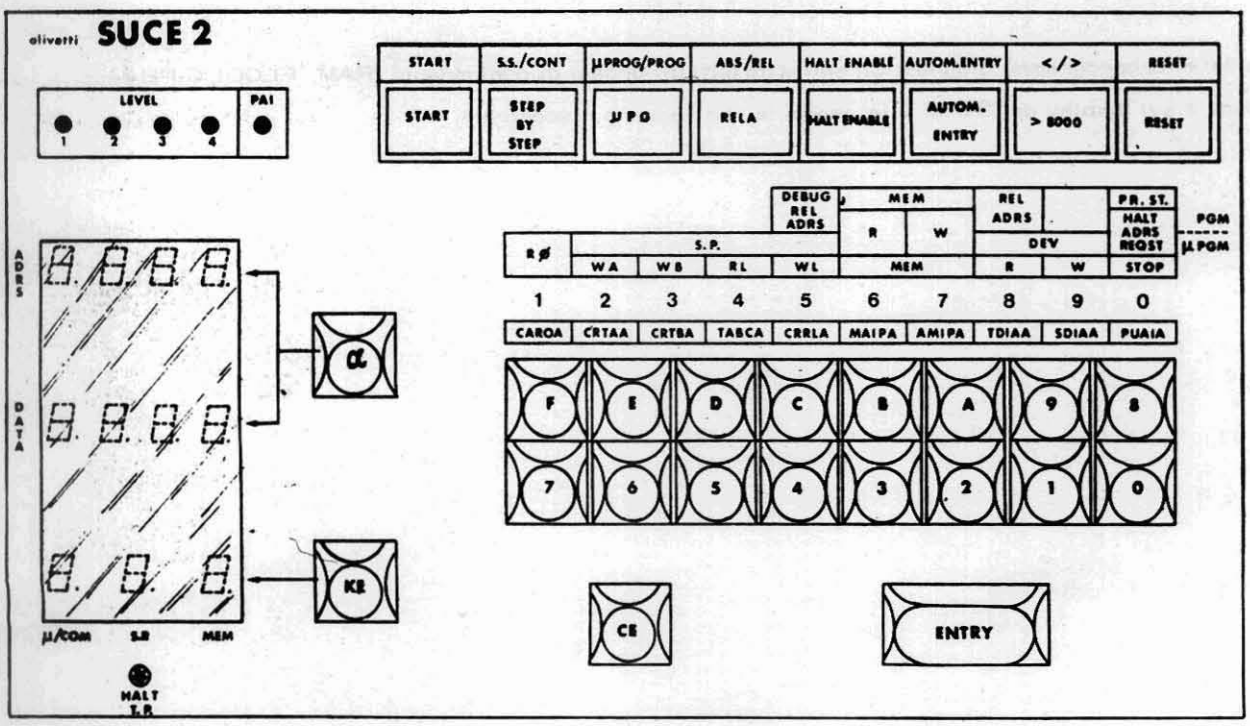



fig. ▽.2

Legenda.

① Pulsanteria comandi
② Tastiera esadecimale
③ Barra ENTRY
④ Tasto "CE" annullatore di tastiera
⑤ Display di microcomandi (3 cifre esadecimali)
⑥ Display Data (4 cifre esadecimali)
⑦ Display Address (4 cifre esadecimali)
⑧ Tasto "KE" di conferma dei microcomandi
⑨ Tasto "X" che seleziona sui display i dati delle fasi $\alpha$ o $\beta$
⑩ Indicatori del livello in corso
⑪ Indicatori di prenotazione di Alt indirizzato
⑫ Test point di Alt indirizzato.

L'unità logica del SUCE 2 comprende le parti indicate in figura ▽.3.

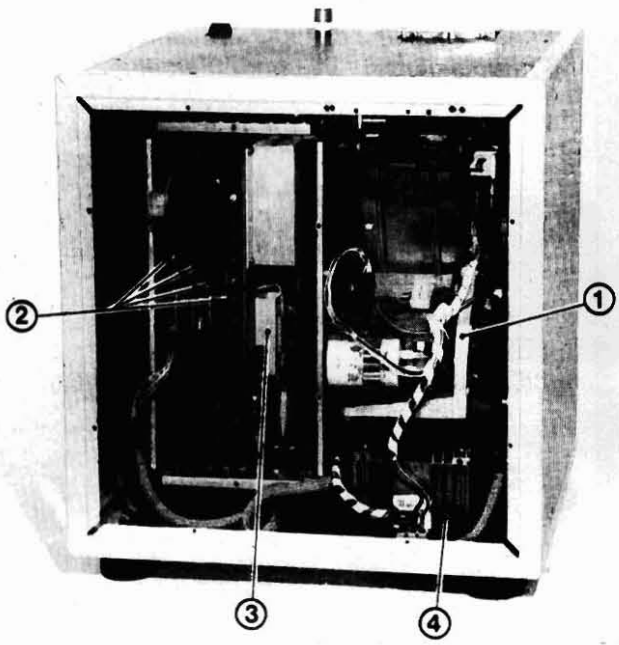



fig. ▽.3

Legenda.

① Gruppo cartolina (stessa di A7)
② Modulo XD 4000 S
③ Alimentatore
④ Alimentatore

La piastra INSU permette di collegare il SUCE 2 al canale di memoria del sistema in esame ed è dotata di una serie di circuiti di disaccoppiamento (fig. ▽.4).

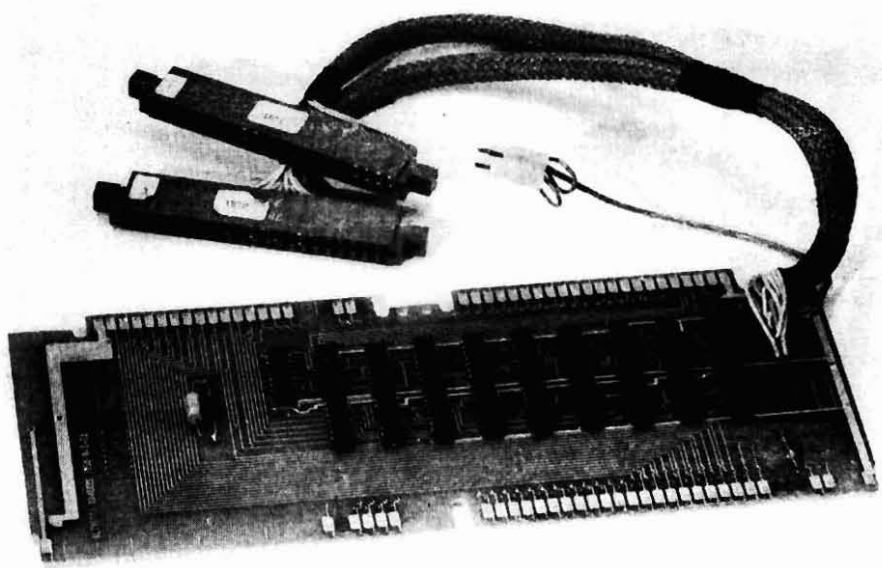


fig. ▽.4

La piastra a doppia contattiera va inserita al posto di una piastra di memoria.

La memoria va collegata su una contattiera mentre sull'altra va collegata la piastra INSU (fig. ∇.5).

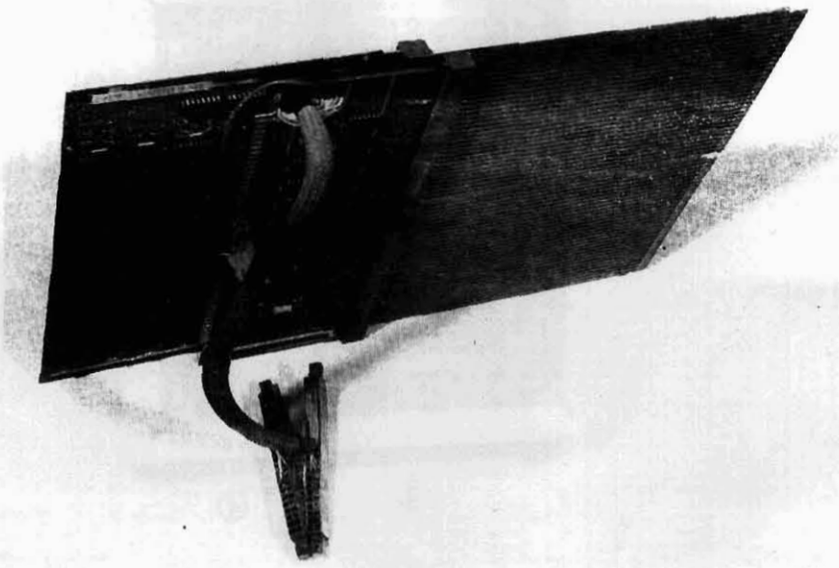


fig. ∇.5

La piastra GOTE (fig. ∇.6) viene utilizzata per la riparazione dei governi dei sistemi e della logica di ca - nale del CPU 19.

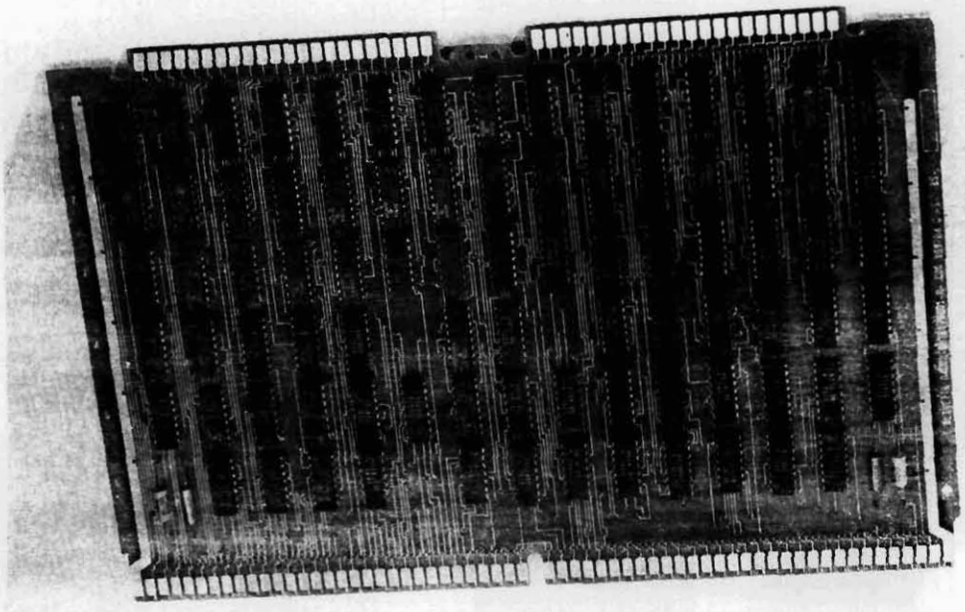


fig. ∇.6

## CONNESSIONE DEL SUCE 2 COI SISTEMI IN PROVA

- Connessione tra consolle di comando e unità logica SUCE 2

La connessione è fatta col cavo come indicato in figura ▽.7.

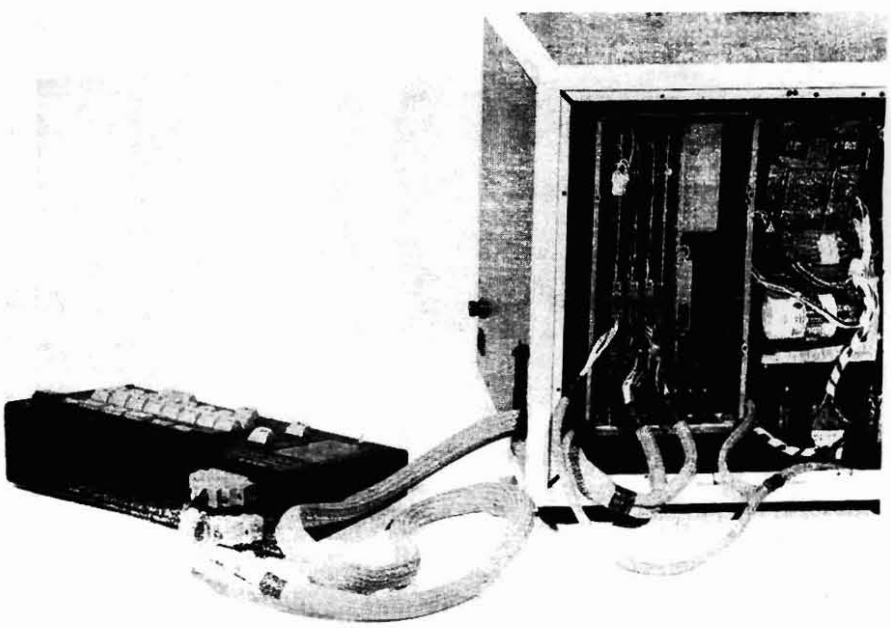


fig. ▽.7

- Connessione della piastra INSU sul sistema

La piastra INSU è inserita sulla piastra di prolunga a doppia contattiera al posto di una piastra di RAM e va collegata all'U. C. come è indicato in fig. ▽.8.

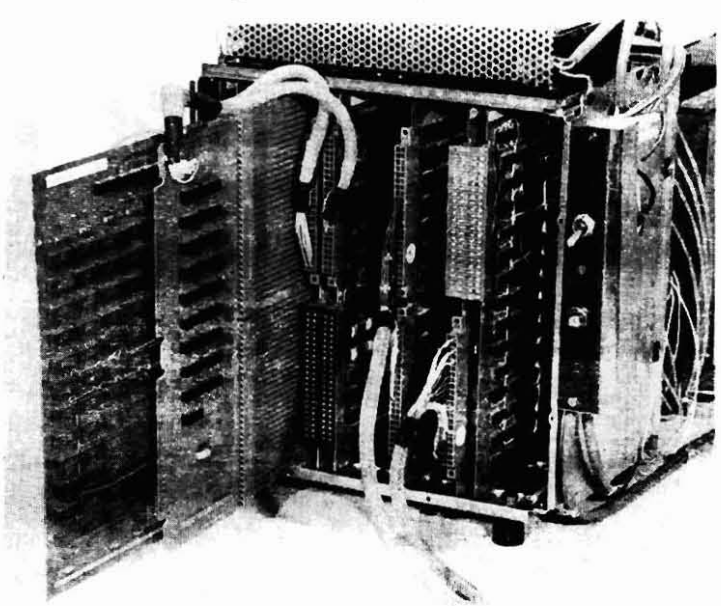


fig. ▽.8

Connessione dell'unità logica SUCE 2 col sistema

La piastra INSU è collegata al modulo XD 4000 S dell'unità logica come è indicato in figura ▽9.

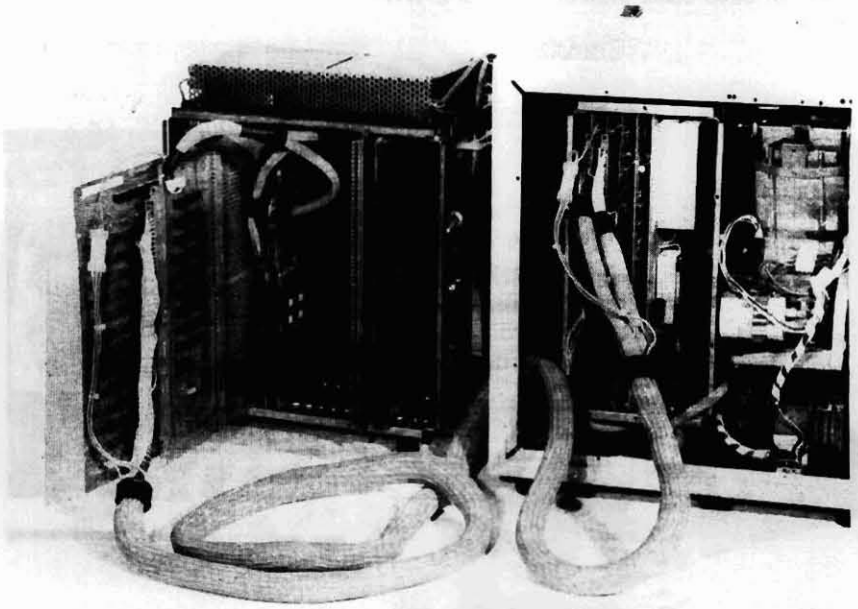


fig. ▽.9

Connessione del GOTE coi governi

Il GOTE va inserito al posto riservato ai governi; ed è collegato ai governi in prova con cavi specifici per ogni governo.

Con la documentazione dei microprogrammi diagnostici è fornito il codice del cavo e il modo di connetterlo.

A titolo esemplificativo in figura è riportato la connessione del GOTE con il governo FLODI.

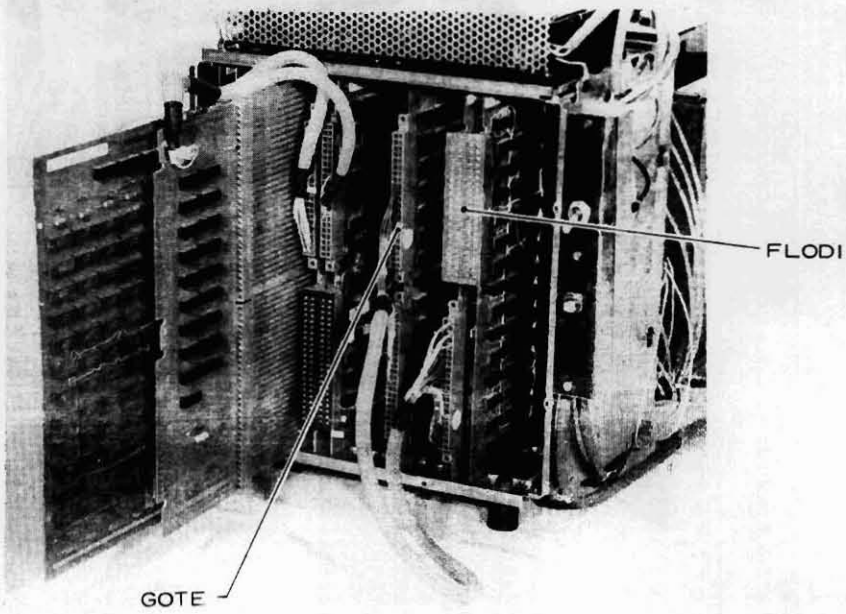



fig. ▽.10

## PRESTAZIONI DEL SUCE 2

Di seguito spiegheremo quali sono le prestazioni del SUCE 2 al fine di poter utilizzare al meglio l'unità SUCE 2.

Noi documenteremo invece i microprogrammi diagnostici che saranno trattati in altre documentazioni.

### ASSETTI DI LAVORO

Il SUCE 2 può operare in assetto MICROPROGRAMMA o PROGRAMMA e in entrambi i casi in assetto CONTINUO o PASSO - PASSO.

La scelta degli assetti è fatta con due pulsanti:

- Pulsante μPROG./PROG. che seleziona l'assetto PROGRAMMA se è a riposo.
- Pulsante S.S./CONT. che seleziona l'assetto CONTINUO se è a riposo.

### MICROCOMANDI MANUALI (ASSETTO MICROPROGRAMMA e PASSO - PASSO)

Vedremo di seguito l'uso dei microcomandi manuali in assetto MICROPROGRAMMA e PASSO - PASSO mentre nei capitoli in cui tratteremo della prestazione in assetto PROGRAMMA vedremo un uso diverso dei microcomandi.

I microcomandi eseguibili in assetto MICROPROGRAMMA sono 10.
Il lavoro svolto da ogni microcomando è riassunto dalla tabella in figura ∇.11.

In figura ∇.11 sono tratteggiate le informazioni che riguardano l'uso del SUCE 2 in assetto PROGRAMMA.

La stessa tabella è riportata sulla consolle del comando del SUCE come promemoria.

fig. ∇.11

I numeri 1, 2, 3, 4, 5, 6, 7, 8, 9 e 0 sono i codici con cui vengono selezionati i 10 microcomandi.
Le diciture CAROA, CRTAA, PUAIA sono i nomi dei segnali generati sulla consolle di comando da ogni singolo microcomando.
La tabella di figura ∇.12 fornisce per ogni microcomando il nome simbolico e le relative microistruzioni fatte eseguire sul CPU 19.

| TABELLA DEI MICROCOMANDI MANUALI<br>ESEGUITI IN ASSETTO MICROPROGRAMMA E PASSO-PASSO | | | | |
|---|---|---|---|---|
| MICROCOMANDO DA CONSOLLE | | Codice simbolico | Microistruzione eseguita | LAVORI ESEGUITI |
| Codice | Segnale | | | |
| 1 | CAROA | RØ | Quella caricata su R0 | Carica su R0 una microistruzione impostata su SUCE2 e la esegue |
| 2 | CRTAA | Write A | CRTA A(x) | Trasferisce il byte impostato da consolle su S.P.in A(x) |
| 3 | CRTBA | Write B | CRTB B(x) | Trasferisce il byte impostato da consolle su S.P.in B(x) |
| 4 | TABCA | Read L | TABC B(x) A(x) | Trasferisce L(x) che corrisponde ad A(x) + B(x) in consolle su display Data |
| 5 | CRRLA | Write L | CRTA A(x) | Trasferisce il byte impostato su consolle in A(x) |
| | | | CRTB B(x) | Trasferisce il byte impostato su consolle in B(x) |
| 6 | MAIPA | Read Mem. | MAIP A(x) M(x) | Trasferisce il byte letto in memoria all'indirizzo M(x) nello S.P. in A(x) |
| 7 | AMPIPA | Write Mem. | CRTA A(x) | Trasferisce il byte impostato su consolle in A(x) |
| | | | AMIP A(x) M(x) | Trasferisce il byte di A(x) in memoria all'indirizzo M(x) |
| 8 | TDIAA | | TDIA A(x) | Trasferisce il byte dei deviatori nel registro A(x) |
| 9 | SDIAA | Write Dev. | CRTA A(x) | Trasferisce il byte impostato su consolle in A(x) |
| | | | SDIA A(x) | Trasferisce nei deviatori il contenuto di A(x) |
| 0 | PUAIA | | Nessuna | Predispone nel SUCE 2 un alt indirizzato |

fig. ∇. 12

Come risulta dalla tabella di figura ∇. 12 i microcomandi il cui codice è 1, 2, 3, 4, 6 e 8 determinano l'esecuzione di una sola microistruzione e i comandi 5, 7 e 9 di due.

Il microcomando 1 serve a caricare sul buffer R0 una microistruzione qualsiasi di quelle eseguibili dal CPU 19.

Il microcomando 9 non determina l'esecuzione di alcuna microistruzione.

Impostazione dei microcomandi manuali

Ogni microcomando è impostato con tre cifre esadecimali e la sua impostazione deve terminare con l'impostazione del tasto "KE".
Le tre cifre compaiono sul display dei microcomandi dopo aver impostato il tasto "KE".

La prima cifra è il codice del microcomando che si vuol eseguire e varia tra 0 e 9.

La seconda cifra seleziona un registro A, B o L di scratch-pad da leggere o scrivere. Non ha senso e può quindi assumere un valore qualsiasi coi microcomandi 1 e 0.

La terza cifra seleziona un registro L di scratch pad da usare come registro indice nei microcomandi di lettura e scrittura della memoria con codice 6 e 7. Non ha senso e può assumere un qualsiasi valore coi microcomandi diversi dal 6 e 7.

- Operandi dei microcomandi manuali

I microcomandi 2, 3, 7 e 8 prevedono l'impostazione di un byte (due cifre esadecimali) e i microcomandi 1, 5 e 0 quella di 2 byte (4 cifre esadecimali) come operandi del microcomando.
Gli operandi vanno impostati sulla tastiera esadecimale e compaiono sul display DATA.
L'operando dei microcomandi 2, 3, 7 e 8 rappresenta il byte da scrivere rispettivamente sui registri A, B in memoria o sui deviatori.
Gli operandi dei microcomandi 7, 5 e 8 sono rispettivamente il codice esadecimale di una microistruzione che si vuol eseguire, una word da scrivere su un registro L (di solito è un indirizzo di memoria) o l'indirizzo di memoria in cui si vuol arrestare il microprogramma con l'alt indirizzato.
L'alt indirizzato sarà ripreso nel capitolo di controllo del microprogramma.
I microcomandi 4, 6 e 8 non prevedono l'impostazione di operandi in quanto sono microcomandi per la lettura di un registro L, di un byte di memoria o del contenuto dei deviatori.
Nel caso di microcomandi 6 e 7 l'indirizzo di memoria va predisposto in un registro L di scratch-pad con un microcomando 5.

- Esecuzione dei microcomandi manuali

L'esecuzione del microcomando impostati è comandata dalla BARRA ENTRY.
Se si vuol eseguire ad intervalli regolari il microcomando si preme il pulsante AUTOM. ENTRY che ad ogni secondo simula un comando della BARRA ENTRY.

DATI VISUALIZZATI SUI DISPLAY DATA E ADDRESS IN FUNZIONE DEL MICROCOMANDO MANUALE IN MICROPROGRAMMA

| MICROCOM. | | DISPLAY DATA | | | DISPLAY ADDRESS | | |
|---|---|---|---|---|---|---|---|
| Cod | Segnale | Tasti esadec. | "ENTRY" premuto "↓" premuto | Dopo "ENTRY" | Durante "↓" | "ENTRY" premuto ALFA premuto | Dopo "ENTRY" |
| | | $\overline{D4}$ $\overline{D3}$ $\overline{D2}$ $\overline{D1}$ | D4 D3 D2 D1 | D4 D3 D2 D1 | D4 D3 D2 D1 | | |
| 1 | CAROA | Microistruzione da caricare su buffer R0 del CPU 19 | Microistruzione caricata sul buffer R0 di CPU 19 | Contenuto dei nodi di CPU 19 | | | |
| | | $\overline{D2}$ $\overline{D1}$ | | D2 D1 | | | |
| 2 | CRTAA | Dato da caricare in A (x) | | Dato introdotto in A (x) | | | |
| | | $\overline{D2}$ $\overline{D1}$ | | D2 D1 | | | |
| 3 | CRTBA | Dato da caricare in B (x) | | Dato introdotto in B (x) | | | |
| | | | | D4 D3 D2 D1 | | | |
| 4 | TASCA | | | Contenuto del reg. L (x) letto | | | |
| | | $\overline{D4}$ $\overline{D3}$ $\overline{D2}$ $\overline{D1}$ | | D2 D1 | | | |
| 5 | CRRLA | Word da caricare in L (x) | | Byte trasferito con la CRTB | | | |
| | | | | D2 D1 | | A4 A3 A2 A1 | A4 A3 A2 A1 |
| 6 | MAIPA | | | Byte letto in memoria | | | Indirizzo del byte letto |
| | | $\overline{D2}$ $\overline{D1}$ | | D2 D1 | | A4 A3 A2 A1 | A4 A3 A2 A1 |
| 7 | AMIPA | Dato da caricare in memoria | | Byte scritto in memoria | | | Indirizzo in cui è scritto il byte |
| | | | | D2 D1 | | | |
| 7 | TDIAA | | | Byte letto sui deviatori | | | |
| | | $\overline{D2}$ $\overline{D1}$ | | D2 D1 | | | |
| 9 | SDIAA | Dato da caricare sui deviatori | | Byte trasferito sui deviatori | | | |
| | | $\overline{D4}$ $\overline{D3}$ $\overline{D2}$ $\overline{D1}$ | | D4 D3 D2 D1 | | | |
| 0 | PUAIA | Indirizzo su cui eseguire l'alt | | | | | |

▽. 12a

Dati visualizzati sul display Data e Address in assetto microprogramma

I display DATA e ADDRESS visualizzano i dati e gli indirizzi di memoria significativi relativi alla fase $\beta$ dell'ultima microistruzione eseguita, se invece si tengono premuti i pulsanti "$\alpha$" e "ENTRY" i display visualizzano il codice esadecimale della microistruzione e il suo indirizzo di memoria.
La tabella di figura $\nabla$.12.a indica in funzione del microcomando ciò che si visualizza nei vari istanti sui display DATA e ADDRESS.
Le sigle D1, D2, D3 e D4 indicano i singoli visualizzatori del display DATI quando sono illuminati; le sigle A1, A2, A3 e A4 indicano invece i singoli del display ADDRESS anch'essi solo quando sono illuminati. Le sigle $\overline{D1}$, $\overline{D2}$, $\overline{D3}$ e $\overline{D4}$ stanno ad indicare che i display si accendono l'uno dopo l'altro man mano che diventano significativi.

Controllo del livello di lavoro col SUCE 2

Il SUCE 2 permette di visualizzare con delle lampade il livello di lavoro del sistema in esame.

Il livello di lavoro è controllato dalle periferiche collegate al sistema in esame e del microprogramma stesso.

Operando manualmente sul SUCE 2 è possibile eseguire le due microistruzioni COM0 e COM1 che agiscono sui livelli di lavoro.

Ricordiamo che:

- COM0 attiva il livello di lavoro meno proritario rispetto a quello in corso
- COM1 attiva il livello di lavoro 3 se emesso durante il livello 4.

Per eseguire la COM0 o COM1, si predispone il microcomando R0 (codice operativo "1") e si impostano i codici esadecimali della COM0 e COM1 che sono:

- COM0 : BD$\not{0}\not{0}$ (cod. esad.)
- COM1 : BD1$\not{0}$ (cod. esad.)

Per eseguire le microistruzioni interessate occorre comandare la barra ENTRY

Esempio di introduzione manuale di un microprogramma

Si vuole introdurre il microprogramma seguente in memoria.

| NOME SIMBOL. | INDIRIZZO ROM | MICROISTRUZIONE | OPERANDI | | CODICE ESAD. |
|---|---|---|---|---|---|
| PROVA | 8001 | CRTA | A5 | C00 | 7500 |
| | 8002 | CRTB | B5 | C01 | C501 |
| PIU1 | 8003 | ADDA | A5 | B5 | 9655 |
| | 8004 | SAI | | PIU1 | 0003 |

Poichè la microistruzione disponibile sul SUCE 2 per scrivere in memoria è la AMIP che indirizza a byte occorre calcolare l'indirizzo del byte corrispondente alla word (8001).
Tale indirizzo sarà quindi predisposto nel registro indice che verrà usato per indirizzare i byte da scrivere in memoria.
L'indirizzo a livello byte, del 1° byte di una word corrisponde al doppio dell'indirizzo a livello word.

Un registro L di scratch-pad può contenere un indirizzo espresso a livello byte solo se l'indirizzo di word corrispondente è compreso tra (0000)16 e (7FFF)16.

Quando l'indirizzo di word è $\geq$ (8000)16 occorrerebbero registri a 17 bit (5 cifre esadecimali) per contenere il corrispondente indirizzo a livello byte.

In questo caso si opera nel modo seguente:

- si sottrae (8000)16 dall'indirizzo di word voluto
- si moltiplica la differenza per 2 e la si invia nel registro L usato come indice
- si tiene premuto per tutta la durata dell'operazione di carica del programma il pulsante </>

Nel nostro caso provvederemo quindi a premere inizialmente i pulsanti:

- STEP by STEP
- MICROPROGRAM
- > 8000
- Si predispone il microcomando WL (533"KE") e si imposta l'indirizzo di byte calcolato come detto sopra, che nel nostro caso sarà (0002) seguito da una barra ENTRY.
  L'indirizzo 0002 entra quindi nel registro L3.
- Si predispone il microcomando W. MEM (743 "KE") che permette di introdurre i byte nella memoria utilizzando l'indirizzo contenuto in L3 e che utilizza il registro A4 come registro di transito per i byte impostati in tastiera.
- Si impostano nell'ordine i byte (75)16, (00)16, (C5)16, (01)16, (96)16, (55)16, (00)16, (03)16 e ognuno di essi è seguito da una barra ENTRY.

Il microprogramma è quindi già introdotto in memoria.

## ESECUZIONE DI MICROPROGRAMMI

Si dia per scontato di avere in RAM o in ROM un certo microprogramma ad un indirizzo di memoria noto e che si conoscano inoltre il o i livelli di lavoro interessati nel microprogramma.

Utilizzando i microcomandi manuali è possibile predisporre nei vari indirizzatori di microprogrammi gli indirizzi giusti e predisporre il giusto livello di lavoro iniziale.
In queste condizioni è possibile eseguire il microprogramma in continuo o in passo-passo.

L'avvio del microprogramma è dato col pulsante "START"; in questo caso non si usa la barra ENTRY che è la barra di esecuzione dei soli microcomandi manuali.
Se si esegue il microprogramma in continuo, non è visualizzabile nulla di significativo sui display, se invece si opera in passo-passo ad ogni arresto è possibile vedere sui display dati ciò che è transitato per l'ultima volta sui nodi BA e BB del CPU 19.
Se invece si tengono premuti il pulsante START o "α", sono visualizzabili l'ultima microistruzione caricata sul buffer R0 e l'indirizzo di memoria da cui è stata estratta.

E' così possibile seguire istante per istante lo svolgimento del microprogramma.

### Alt indirizzato in microprogramma

E' possibile eseguire un microprogramma e fermarne l'esecuzione quando si arriva ad un preciso indirizzo di ROM.
L'indirizzo di ROM viene predisposto sul SUCE 2 col microcomando di alt indirizzato che ha codice operativo 0.
Il microcomando prevede l'introduzione di indirizzo di word di 4 cifre esadecimali che viene introdotto nel SUCE 2 con la barra ENTRY. Tale indirizzo può essere annullato col tasto CLEAR.

L'introduzione dell'indirizzo è segnalata dalla lampada PAI che si accende sulla consolle di comando.
Se durante lo svolgimento in continuo del microprogramma il "microprogram counter" raggiunge l'indirizzo di alt, si arresta la temporizzazione del CPU 19 e la lampada PAI lampeggia.
Il microprogramma riparte comandando START, e rimane sempre prenotato l'indirizzo di alt.

### Test point di alt indirizzato

L'alt indirizzato, se è eseguito col pulsante HALT ENABLE premuto, anzichè arrestare l'esecuzione del microprogramma fa nascere un impulso sul test point HALT sulla consolle di comando del SUCE 2.
Tale impulso può essere usato come sincronismo per l'oscilloscopio.

TRATTAMENTO DEL SUCE 2 A LIVELLO PROGRAMMA

Per lavorare in assetto programma, è necessario che il sistema in esame sia dotato di un microprogramma di gestione del SUCE 2.

Il microprogramma conterrà una serie di microistruzioni che che gestiscono i display ADDRESS e DATA e le informazioni fornite tramite la consolle di comando del SUCE 2.

Microistruzioni per la gestione dei display DATA e ADDRESS in assetto programma

- La microistruzione TABC trasferisce il contenuto di un registro L di scratch pad sul SUCE 2 e tale contenuto è automaticamente visualizzato dal ADDRESS.
  Le informazioni permangono su un display fin tanto che non viene eseguita una TABC che interessa quello stesso display.
- La microistruzione COM15 predispone il SUCE 2 per visualizzare sul display DATA il dato emesso con la 1^ TABC che la segue, questa TABC non altera il display ADDRESS.
- La microistruzione COM11 spegne entrambi i display ADDRESS e DATA.

Informazioni da SUCE 2 in assetto programma

- Quando si opera in assetto programma, tramite la consolle di comando del SUCE 2 si possono predisporre dei bit di condizione che possono essere sondati con apposite microistruzioni da parte del firmware.
  Sono disponibili 8 bit di condizione (CON0+7) posizionabili da SUCE: tre di questi sono controllati dai pulsanti STEP BY STEP, START, e ABSOLUTE e gli altri 5 sono controllati con microcomandi.
  Coi cinque microcomandi che predispongono i bit sul bus (CON0+7) possono essere predisposti due byte (4 cifre esadecimali) che il firmware può introdurre nel CPU 19 e quindi trattare opportunamente.

  La tabella di figura ▽.13 indica come possono essere posizionati i diversi bit di condizione ed eventualmente da quali dati sono accompagnati.
  I bit posizionati da pulsanti possono essere posti ad 1 anche contemporaneamente, mentre dei 5 bit predisposti coi microcomandi non può essere posizionato più di un bit per volta.

| BIT DI CONSOLLE | PULSANTE o MICROCOMANDO | DATI MEMORIZZATI SU SUCE 2 PRELEVABILI DA FIRMWARE |
|---|---|---|
| CON0 | STEP BY STEP | |
| CON1 | START | |
| CON2 | Microcomando Cod. OP.0 XX"KE" | 16 bit caricati sul buffer IC00+15 |
| CON3 | Microcomando Cod. OP.8 XX"KE" | 16 bit caricati sul buffer BK00+15 |
| CON4 | Microcomando Cod. OP.5 XX"KE" | 16 bit caricati sul buffer BK00+15 |
| CON5 | Pulsante RELA | |
| CON6 | Microcomando Cod. OP.6 XX"KE" | 16 bit caricati sul buffer BK00+15 |
| CON7 | Microcomando Cod. OP.7 XX"KE" | 16 bit caricati sul buffer BK00+15 |

fig. ▽.13

Microistruzione per la gestione delle informazioni da SUCE 2 in assetto programma

- La microistruzione TCCA eseguita su CPU19 abilita gli 8 bit di cui sopra sul bus CON0+7 e le introduce in un registro A di scratch pad.
  Gli 8 bit così introdotti possono essere utilizzati per controllare lo svolgimento del microprogramma.
  Sondando i bit CON3, CON4, CON6 e CON7 il CPU 19 sa se deve introdurre dei dati predisposti sul buffer BK00+15, nel qual caso può introdurre un byte alla volta con le microistruzioni TDMA e TDPA.

- La microistruzione TDMA permette d'introdurre attraverso il bus CON0 + 7 gli 8 bit meno significativi del buffer di tastiera (BK00 + 15) o del buffer di alt indirizzato (IC00 + 15):
  - si preleva dal buffer di tastiera se la TDMA è preceduta da una COM12, da Reset o se si è passati da assetto microprogramma ad assetto programma.
  - si preleva dal buffer di alt indirizzato se si è impostato un alt indirizzato e se si è eseguita una COM14.

- La microistruzione TDPA opera come la TDMA: la sola differenza consiste nel fatto che vengono prelevati gli 8 bit più significativi dei buffer di tastiera o di alt indirizzato

- La microistruzione COM14 predispone il SUCE 2 perchè le eventuali microistruzioni TDMA e TDPA che la seguono introducano i dati predisposti sul buffer IC00+15 anzichè quelli predisposti sul buffer BK00 + +15.

- La microistruzione COM12 eseguita da CPU19 annulla i bit di condizione impostati coi microcomandi manuali e riabilita l'introduzione dei dati su CPU del buffer BK00+15 anzichè del buffer IC00+15.

Gestione dell'alt indirizzato in assetto programma

Il microcomando 0XX1 potrebbe essere utilizzato a livello programma per introdurre degli indirizzi per l'"alt indirizzato".
L'alt indirizzato a livello programma va comunque gestito dal firmware in quanto in assetto programma il SUCE 2 non può bloccare la temporizzazione del CPU 19.

Il CPU 19 può segnalare l'avvenuto raggiungimento di un indirizzo di alt, eseguendo una microistruzione COM13 che fa lampeggiare la lampada PAI. In questo caso l'arresto del programma è dato da un loop di microistruzioni dal quale si esce premendo il pulsante START che posiziona il bit CON1.
Il CPU 19, infatti eseguendo il loop d'attesa, introduce continuamente il bus CON0+7 e se si accorge che è stato premuto START esce dal loop e riprende l'esecuzione del programma.

Una microistruzione COM11 fa smettere di lampeggiare la lampada PAI.

Una microistruzione COM12 annulla la prenotazione di alt indirizzato.

| DATI VISUALIZZATI IN ASSETTO PROGRAMMA E PASSO PASSO DURANTE L'ESECUZIONE DEI MICROCOMANDI | | | | |
|---|---|---|---|---|
| MICROCOMANDO | | DISPLAY DATA | | DISPLAY ADDRESS |
| Codice | Segnale | DOPO KE, DOPO ENTRY DOPO CLEAR | DURANTE IMPOSTAZ. TASTI ESADECIMALI | SEMPRE DOPO ENTRY |
| 1 | CAROA | Spento | Spento | SPENTO |
| 2 | CRTAA | " | " | |
| 3 | CRTBA | " | " | |
| 4 | TABCA | " | " | |
| 5 | CRRLA | " | $\overline{D4}$, $\overline{D3}$, $\overline{D2}$, $\overline{D1}$ | |
| 6 | MAIPA | " | $\overline{D4}$, $\overline{D3}$, $\overline{D2}$, $\overline{D1}$ | |
| 7 | AMIPA | " | $\overline{D4}$, $\overline{D3}$, $\overline{D2}$, $\overline{D1}$ | |
| 8 | TDIAA | " | $\overline{D4}$, $\overline{D3}$, $\overline{D2}$, $\overline{D1}$ | |
| 9 | SDIAA | " | $\overline{D4}$, $\overline{D3}$, $\overline{D2}$, $\overline{D1}$ | |
| 0 | POAIA | " | $\overline{D4}$, $\overline{D3}$, $\overline{D2}$, $\overline{D1}$ | |

fig. ▽.14

| MICROISTRUZIONI PER LA GESTIONE DEL SUCE IN ASSETTO PROGRAMMA | | |
|---|---|---|
| MICROISTRUZIONE | | LAVORO SVOLTO |
| Nome Simb. | Codice E. | |
| TABC A(x) B(y) | FAXY | Visualizza su ADDRESS i registri A(x) e B(y) se è preceduta da COM15 visualizza su DATA |
| TCCA A(x) | CAX0 | Trasferisce gli 8 bit di condizione sul registro A(x) |
| TDMA A(x) | DAX1 | Trasferisce 8 bit meno significativi dai buffer IC00+15 o BM00+15 su CPU 19 |
| TDPA A(x) | EAX2 | Trasferisce gli 8 bit più significativi dai buffer IC00+15 o BM00+15 su CPU 19 |
| COM11 | BDBO | Spegne i display e fa smettere di lampeggiare la lampada PAI, fa cadere la condizione START in assetto programma |
| COM12 | BDCO | Annulla il bit di condizione posto con un microcomando, la prenotazione di alt indirizzato, predispone il prelievo da buffer BK00÷ 15 con le microistruzioni TDMA e TDPA |
| COM13 | BDDO | Fa lampeggiare la lampada PAI |
| COM14 | BDEO | Predispone il prelievo del buffer IC00+15 con le TDMA e TDPA successive |
| COM15 | BDFO | Predispone il SUCE 2 a visualizzare su DATA la word emessa con la seguente TABC. |

fig. ▽.15

## UNITA' A CARTOLINE MAGNETICHE

Il SUCE 2 permette di leggere e registrare cartoline magnetiche dello stesso tipo di quelle usate sulle A7.
Ogni cartolina può contenere un massimo di 255 byte.
L'unità montata sul SUCE 2 è la stessa della A7.

### Registrazione delle cartoline magnetiche

- Predisporre il SUCE 2 in microprogramma e passo-passo

- Predisporre in un registro L di scratch pad l'indirizzo di memoria espresso in byte e quindi predisporre il microcomando manuale di lettura memoria "MAIP" che usi lo stesso registro L già predisposto per indirizzare la memoria.

- Dopo aver predisposto il microcomando manuale occorre premere una volta la barra ENTRY al fine di predisporre già il 1° byte nella scratch pad.

- A questo punto l'unità è predisposta per la registrazione, basta inserire la scheda nel SUCE 2 e premere il pulsante START montato sull'unità logica del SUCE 2.
  Verranno registrate tutte le cartoline inserite nella casella di alimentazione.
  Alla fine della registrazione, le cartoline conterranno in ordine crescente tutti i byte a partire dall'indirizzo predisposto per un totale di 255 moltiplicato per il numero delle cartoline.

- Alt indirizzato in registrazione cartolina.
  Se il numero di byte che si vogliono trasferire in cartolina magnetica non è 255 o un suo multiplo si può utilizzare l'alt indirizzato durante la registrazione.
  Prima di avviare la registrazione, si prenota l'alt indirizzato sull'indirizzo dell'ultimo byte da registrare.

### Lettura delle cartoline magnetiche

Per leggere le cartoline magnetiche occorre:

- Predisporre in un registro L di scratch pad l'indirizzo del 1° byte di memoria in cui si vuol introdurre il contenuto delle schede.

- Predisporre un microcomando manuale di scrittura in memoria che usi come registro l'indice per l'indirizzamento della memoria lo stesso registro L in cui l'indirizzo è stato predisposto.

- Inserire le cartoline nella casella di alimentazione e comandare il pulsante START.
  In questo modo tutte le cartoline inserite nella casella di alimentazione vengono lette e il loro contenuto viene trasferito in memoria a partire dal byte predisposto.

# 1. CONSOLLE DI COMANDO

# INDICE


TASTIERA ESADECIMALE, DECODIFICATORE E STROBE DI TASTIERA . . . . . pag. 1.01

BUFFER DI CONSOLLE, TASTO CLEAR . . . . . " 1.01

TASTO [↓], STATICIZZATORI DEL MICROCOMANDO E DECODIFICATORE DEL MICROCOMANDO . . . . . " 1.01

TEMPORIZZAZIONI E DISP: µ/COM, S.P., MEM . . . . . " 1.01

VISUALIZZATORI DEL LIVELLO DI LAVORO E PRENOTAZIONE DI ALT INDIRIZZATO . . . . . " 1.01

DISPLAY DATA E ADDRESS . . . . . " 1.02

SCHEMA A BLOCCHI . . . . . " 1.03

## TASTIERA ESADECIMALE, DECODIFICATORE E STROBE DI TASTIERA

Riferirsi allo schema a blocchi di figura 11 e agli schemi di macchina.
La tastiera è composta da 16 pulsanti a due vie, dai cui contatti di lavoro sono ottenuti i segnali TASON + +TASFN e i cui contatti di riposo sono collegati col centrale del pulsante precedente come è indicato nello schema a blocchi. Abbassando un tasto qualsiasi il segnale REFFO va ad 1 mentre è portato a zero il segnale corrispondente al tasto.
Su un gruppo decodificatore viene decodificato il tasto pigiato facendo nascere 4 bit con peso binario (BITAO+BITDO), la configurazione rimane fin quando REFFO tornando a zero non la resetta.
Comandando uno dei tasti da 1 a F nasce almeno uno dei segnali BITAO+BITDO mentre con zero nasce il segnale UZZO che avvia un generatore d'impulso STRON che carica in parallelo il codice sul buffer di consolle, questo può memorizzare un massimo di tre tasti.
Lo strobe col nome di MAB11 è inviato all'Unità Logica del SUCE 2.

## BUFFER DI CONSOLLE, TASTO CLEAR

Il buffer di consolle memorizza le ultime tre cifre impostate sulla tastiera.
Il tasto di keyboard Clear ( C E ) azzera in qualsiasi momento l'intero buffer di tastiera.

## TASTO [KE], STATICIZZATORI DEL MICROCOMANDO E DECODIFICATORE DEL MICROCOMANDO

Comandando il tasto [KE] nasce il segnale BARO che trasferisce i 12 bit dal buffer di consolle su 12 F. F. tipo latch che compongono lo STATICIZZATORE DEL MICROCOMANDO.
Mentre il primo dei tre tasti impostati viene decodificato da un ONE OF TEN DECODER ed i microcomandi relativi (CAROA+PUAIA) sono inviati all'Unità Logica, il penultimo ed il terzultimo tasto impostato sono inviati direttamente all'Unità Logica sui bus S000A-3A e M000A-3A.

## TEMPORIZZAZIONE E DISPLAY: µ/COM, S.P., MEM

I tre codici dei tasti impostati che sono staticizzati dagli staticizzatori di comando sono inviati a tre display del tipo TIL 311 che vengono abilitati ad accendersi alternativamente da una temporizzazione creata all'interno della consolle di comando.
Per effetto della persistenza delle immagini i tre display appaiono continuamente illuminati mentre la dissipazione di potenza è ridotta ad un terzo.
La temporizzazione trae origine dall'oscillatore BAFFO e termina coi segnali ABO1N, ABO2N, ABO3N.

## VISUALIZZATORE DEL LIVELLO DI LAVORO E PRENOTAZIONE ALT INDIRIZZATO

I visualizzatori sono dei diodi emettitori di luce pilotati direttamente da Unità Logica.

## DISPLAY: ADDRESS E DATA

I display usati sono sempre quelli del tipo T1L 311

Su tutti e quattro i display ADDRESS è inviato il bus INDII - 41 sul quale alternativamente sono riportate le 4 cifre da visualizzare; l'alternarsi delle cifre sul bus è cadenzato da una temporizzazione posta sull'unità logica che abilita l'accensione di uno dei 4 display alla volta.

Il pilotaggio del display DATA è simile a quello di ADDRESS: il bus è costituito dai 4 fili DADII - 41 e la temporizzazione di accensione è data dai segnali ABDIA - 4A.

I fili BL111+ 141 abilitano o meno l'accensione dei singoli display address; un lavoro simile fanno BLD11 + +41 sul display DATA.

## PULSANTERIA DI COMANDO

Sulla pulsanteria ci sono 8 interruttori di cui 2 monostabili (Reset, Start) e 6 bistabili.

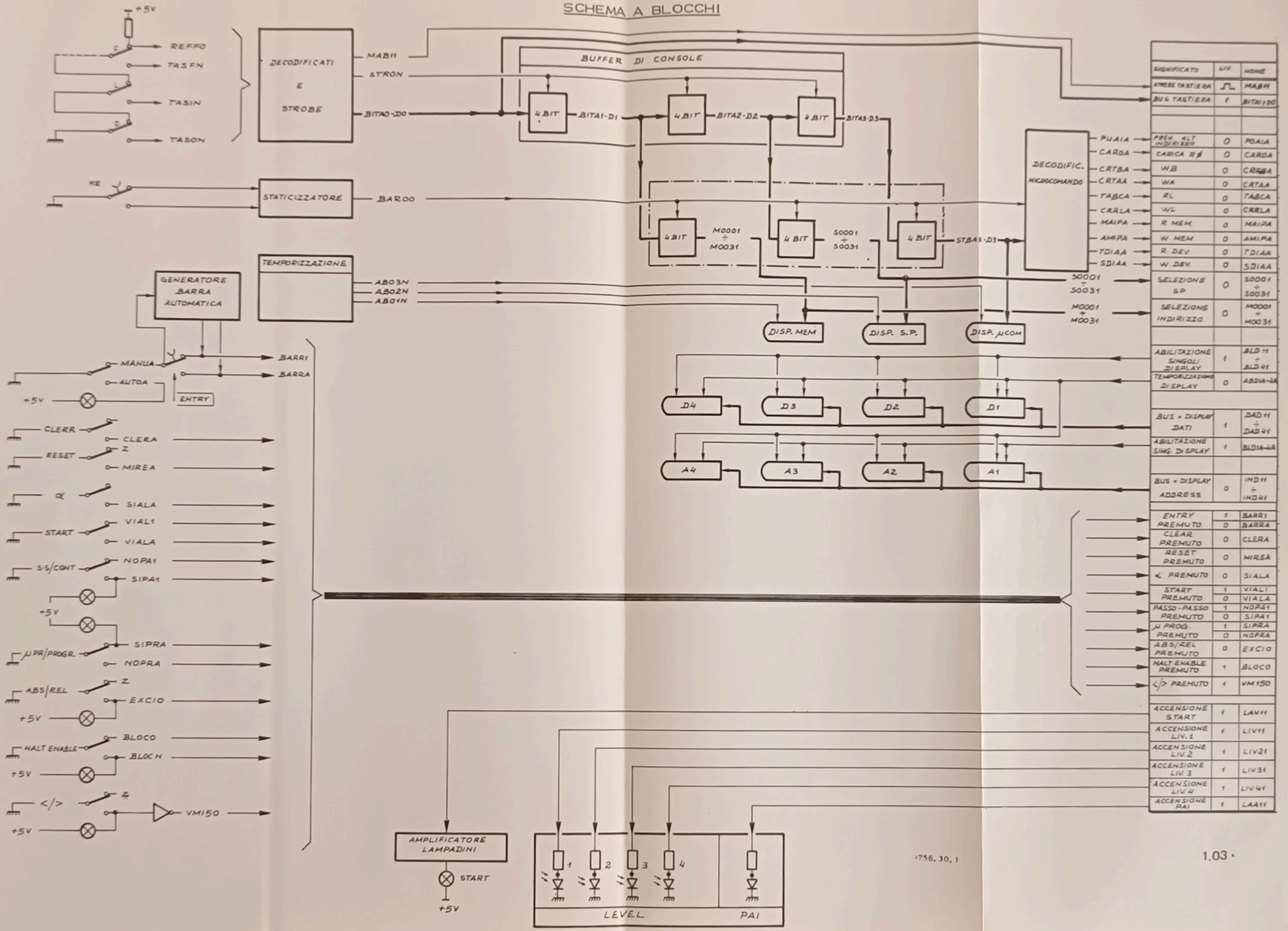
Sui tasti AUT. ENTRY, HALT ENABLE, ABSOLUTE, MICROPROGRAM. e STEP BY STEP, le lampade sono controllate dall'interruttore stesso mentre sullo START la lampada è controllata dal segnale LAV11 proveniente da unità logica.

## LOGICA DELLA BARRA ENTRY

Il pulsante ENTRY è abilitato solo se il pulsante AUT. ENTRY è in condizione di riposo e genera i segnali BARRA e BARR1.

Quando l'interruttore AUT. ENTRY è in condizione di lavoro abilita un generatore d'impulsi realizzato con diodo unigiunzione, a generare degli impulsi sui fili BARRA e BARR1 con cadenza di 1 sec.

# SCHEMA A BLOCCHI




| SIGNIFICATO | LIV. | NOME |
|---|---|---|
| STROBE TASTIERA | ⎍ | MAB11 |
| BUS TASTIERA | 1 | BITA1÷D0 |
| | | |
| PREM. ALT INDIRIZZO | 0 | POAIA |
| CARICA RØ | 0 | CAROA |
| WB | 0 | CRTBA |
| WA | 0 | CRTAA |
| RL | 0 | TABCA |
| WL | 0 | CRRLA |
| R. MEM. | 0 | MAIPA |
| W. MEM | 0 | AMIPA |
| R. DEV. | 0 | TDIAA |
| W. DEV. | 0 | SDIAA |
| SELEZIONE SP | 0 | S0001 ÷ S0031 |
| SELEZIONE INDIRIZZO | 0 | M0001 ÷ M0031 |
| | | |
| ABILITAZIONE SINGOLI DISPLAY | 1 | BLD11 ÷ BLD41 |
| TEMPORIZZAZIONE DISPLAY | 0 | ABDIA-4A |
| | | |
| BUS = DISPLAY DATI | 1 | DAD11 ÷ DAD41 |
| ABILITAZIONE SING. DISPLAY | 1 | BLDIA-4A |
| | | |
| BUS = DISPLAY ADDRESS | 0 | IND11 ÷ IND41 |
| | | |
| ENTRY PREMUTO | 1 | BARR1 |
| | 0 | BARRA |
| CLEAR PREMUTO | 0 | CLERA |
| RESET PREMUTO | 0 | MIREA |
| α PREMUTO | 0 | SIALA |
| START PREMUTO | 1 | VIAL1 |
| | 0 | VIALA |
| PASSO-PASSO PREMUTO | 1 | NOPA1 |
| | 0 | SIPA1 |
| μ PROG. PREMUTO | 1 | SIPRA |
| | 0 | NOPRA |
| ABS/REL PREMUTO | 0 | EXCIO |
| HALT ENABLE PREMUTO | 1 | BLOCO |
| </> PREMUTO | 1 | VM150 |
| | | |
| ACCENSIONE START | 1 | LAV11 |
| ACCENSIONE LIV. 1 | 1 | LIV11 |
| ACCENSIONE LIV. 2 | 1 | LIV21 |
| ACCENSIONE LIV. 3 | 1 | LIV31 |
| ACCENSIONE LIV. 4 | 1 | LIV41 |
| ACCENSIONE PAI | 1 | LAA11 |

# 2. MODULO XD4000S

# INDICE


SUCE UNITA' LOGICA (SCHEMA A BLOCCHI) . . . . . pag. 2.01

PRINCIPIO DI FUNZIONAMENTO GENERALE . . . . . " 2.03

- Realizzazione dei microcomandi manuali (PUAIA escluso) . . . . . " 2.03
- Funzionamento del SUCE 2 in assetto programma . . . . . " 2.03
- Funzionamento dell'alt indirizzato . . . . . " 2.03
- Funzionamento della logica dei display . . . . . " 2.04

. LOGICA DI RESET . . . . . " 2.05

. LOGICA DI CONTROLLO DEGLI INDICATORI DI LIVELLO . . . . . " 2.05

. BUFFER DI TASTIERA . . . . . " 2.05

. LOGICA DI VIA DELLE OPERAZIONI . . . . . " 2.06

- Barra ENTRY per l'avvio di microcomandi manuali . . . . . " 2.06
- Tasto START per l'avvio di Programmi e Microprogrammi . . . . . " 2.06

. LOGICA DI SELEZIONE DELL'ASSETTO DI LAVORO . . . . . " 2.06

. LOGICA DI CONTROLLO DELLA TEMPORIZZAZIONE DEL CPU 19 . . . . . " 2.07

- Avvio della temporizzazione per l'esecuzione di microcomandi . . . . . " 2.07
- Controllo della temporizzazione in lettura cartolina magnetica . . . . . " 2.08
- Controllo della temporizzazione in registrazione cartolina magnetica . . . . . " 2.08

. AVVIO DELLA TEMPORIZZAZIONE PER L'ESECUZIONE DI MICROPROGRAMMI E PROGR.. " 2.08

LOGICA DI ESECUZIONE DEI MICROCOMANDI MANUALI . . . . . " 2.10

. LOGICA DI CONTROLLO DEL CANALE DI MEMORIA . . . . . " 2.10

. DECODIFICA DEL MICROCOMANDO . . . . . " 2.12

. MATRICE DI GENERAZIONE DELLE MICROISTRUZIONI . . . . . " 2.12

. TABELLA RIASSUNTIVA DELLA RETE DI FORZAGGIO DI MICROISTRUZIONI DA SUCE 2 . . . . . " 2.13

LOGICA DI SCAMBIO DATI A LIVELLO PROGRAMMA . . . . . " 2.14

. BUS DA CONSOLLE . . . . . " 2.14

. CONDIZIONI DA CONSOLLE . . . . . " 2.14

- Microcomandi 4, 5, 6, 7 e 8 in assetto programma . . . . . " 2.14
- Microcomando di alt indirizzato in assetto programma . . . . . " 2.15
- Tasto STEP BY STEP . . . . . " 2.15
- Tasto ABSOLUTE . . . . . " 2.15
- Tasto START . . . . . " 2.15

. DATI DA CONSOLLE . . . . . " 2.16

LOGICA DI ALT INDIRIZZATO . . . . . " 2.17

. BUFFER DI ALT INDIRIZZATO . . . . . " 2.17

. LOGICA DI PRENOTAZIONE ALT A LIVELLO MICROPROGRAMMA . . . . . " 2.17

. CONTROLLO DELLA TEMPORIZZAZIONE A LIVELLO MICROPROGRAMMA . . . . . " 2.17

. PRENOTAZIONE DI ALT INDIRIZZATO A LIVELLO PROGRAMMA . . . . . " 2.18

. ARRESTO DEL PROGRAMMA SU ALT INDIRIZZATO . . . . . " 2.18

. CONTROLLO DELLA LAMPADA "PAI" E TEST POINT . . . . . " 2.19

LOGICA DEL DISPLAY ADDRESS E DATA . . . . . " 2.20

. LATCH E LORO CONTROLLO . . . . . " 2.20

. TEMPORIZZAZIONE E CONTROLLO DELL'ACCENSIONE ALTERNATA DEI DISPLAY . " 2.20

. LOGICA DI ABILITAZIONE DEI DISPLAY ADDRESS . . . . . " 2.21

. LOGICA DI ABILITAZIONE DISPLAY DATA . . . . . " 2.21

LOGICA DA DISPLAY ADDRESS E DATA (Schema a blocchi) . . . . . 2.23

CONTROLLO DELLA LAMPADA START . . . . . 2.24

# UNITA' LOGICA

| INTERFACCIA CON CONSOLLE DI COMANDO | | |
|---|---|---|
| | | |
| | | |
| BARRA | 0 | TASTO ENTRY |
| BARR1 | | |
| VIAL1 | 1 | TASTO START |
| VIALA | 0 | PREMUTO |
| SIPAA | 0 | STEP BY STEP |
| NOPAA | 1 | PREMUTO |
| SIPRA | 0 | MICROPROGRAM |
| NOPRA | 1 | PREMUTO |
| EXCIO | 0 | ABSOLUTE PREMUTO |
| MODOA MOD3A | 0 | SELEZIONE S.P. CON INDIRIZZO DI MEMORIA |
| S0014-3A | 0 | SELEZIONE S.P. IN MICROCOMANDO |
| BITD1÷31 | 1 | BUS DI TASTIERA |
| CRRLA | 0 | MICROCOMANDO W.L. |
| CARDA | 0 | MICROCOMANDO R Ø |
| CRTAA | 0 | MICROCOMANDO WA |
| CRTBA | 0 | MICROCOMANDO WB |
| TABCA | 0 | MICROCOMANDO R.L. |
| MAIPA | 0 | MICROCOMANDO R. MEM |
| AMIPA | 0 | MICROCOMANDO W MEM |
| TDIAA | 0 | MICROCOMANDO R DEV |
| SDIAA | 0 | MICROMANDO W DEV |
| PUAIA | 0 | MICROMANDO ALT INDIRIZZATO |
| ABDIA ÷4A | 0 | TEMPORIZZAZIONE ACCENSIONE DISPLAY |
| SIALA | 0 | MICRO INTERRUTTORE d. PREMUTO |
| BLIII-41 | 0 | ABILITAZIONE ACCENSIONE ADDRESS |
| BLDI4-41 | 0 | ABILITAZIONE ACCENSIONE DATA |
| IND11 ÷ IND41 | 1 | BUS INDIRIZZI DA VISUALIZZARE |
| DAD11 ÷ DAD41 | 1 | BUS DATI DA VISUALIZZARE |
| | | |
| LAA11 | 1 | LAMPADA PAI |
| MABII | ⊔ | STROBE DI TASTIERA ESADECIMALE |
| CLEAR | 0 | KEYBOARD CLEAR PREMUTO |
| BLOCO | 1 | HALT ENABLE PREMUTO |
| TESTN | ⊔ | SEGNALE PER IL TEST POINT |
| LAVII | 1 | ACCENSIONE LAMPADA START |
| LIVII ÷ 41 | 1 | ACCENSIONE LIVELLI DI LAVORO |
| 15M | 0 | TASTO </> PREMUTO |
| MIREA | 0 | RESET PREMUTO |

REWRA, RILEA, RIVIN

LOGICA DI VIA OPERAZIONI (001) → VIMIA, VIDIO, VISII, VITEO, EXVII

LOGICA DELLO ASSETTO DI LAVORO (001) → PASSO, MICRO, PROGR.

CONTROLLO DELLA TEMPORIZZAZIONE DI C.P.U. 19 → BTOO, MIDUO, RUNII; CRRLA SDIAA AMIPA (001)

LOGICA DI ESECUZIONE MICROCOMANDI

- DECODIFICA DEL MICROCOMANDO (001)
- MATRICE DI GENERAZIONE DELLE MICROISTRUZIONI (002)
- LOGICA DI CONTROLLO DEL CANALE DI MEMORIA (001-003)

BUFFER DI TASTIERA (008) ← BK001÷51

LOGICA DI SCAMBIO A LIVELLO PROGRAMMA

- DATI DA CONSOLLE — SELEZIONE 1 SEREO
- 8X 2INPUT MULTIPLEX. (006)
- 8X 2INPUT MULTIPLEX.
- PASSO, VITEO
- CONDIZION DI CONSOLLE SWITCH MICROCOMANDI (007)
- BUS DATI VERSO U.C.
- B1001÷71, B1081÷151
- 8X 4 INPUP MULTIPLEXER (007)

LOGICA DEI DISPLAY ADDRESS E DATA

- TEMPORIZZAZIONE (05) — FDUE FUNO
- ABILITAZIONE ADDRESS E DATA — BOMU
- LATCH E MULTIPLEXER (05)
- LATCH E MULTIPLEXER (04) — ABILA ABOLA
- DAD11-41
- 1M001 ÷ 1M151 — ALP
- LATCH (06)
- ALF — BM000 ÷ 15
- MULTIPLE-XER E LATCH (03-04)

LOGICA DI ALT INDIRIZZATO

- BUFFER DI ALT I. 4X 4 BIT COUNTER (008) — PUA11, IC001, IC051
- VIDIO, CLER, BONUO, PROG, PASS, RESE
- LOGICA DI PRENOTAZIONE IN MICRO-PROGRAMMA (008)
- VIDIO, CLER — LOGICA DI PRENOTAZIONE IN PROGRAMMA (007) — PUSPA, DUNUO
- CONTROLLO TEMPORIZZA. IN MICROPROGRAMMA
- CONTROLLO LAMPADA E TEST POINT (008) — DUNUO; LAA11 TESTN
- CONFRONTATORE A 16 BIT (008) — EQUA2
- INDIRIZZO TROVATO (008) — RUN11
- SELEZIONE DATI O INDIRIZZI DI C.P.U. 19 (008) ← IN000÷15

CLEAR

PREMUTO

CONTROLLO LAMPADA START ← COM12, COM11, ABT00

CONTROLLO INDICATORI DI LIVELLI

Alla logica di CPU

GENERATORE D' IMPULSI

LOGICA DI CARTOLINA
(si veda capitolo 3)

| INTERFACCIA CON CPU19 | | |
|---|---|---|
| FASE α DI CPU19 | 1 | ALLFAI |
| BLOCCO TEMPORIZ-ZAZIONE | 1 | BTOOA |
| | | |
| SEGNALE DI VIA MEMORIA | ⊓ | WBCOM |
| DISABILITAZIONE BUS DA MEMORIA | 0 | DIMEM |
| RISPOSTA A U.C. IN SEGUITO A COMANDO DI | ⊔ | MEOCM |
| BUS DI MEMORIA | | MED00 ÷ 15 |
| STROBE MICROISTRU-ZIONI COM11÷15 | ⊔ | CE21M CE25M |
| | | |
| | | |
| | | |
| F.F. DEL BUFFER RO DI CPU19 | | RO000 RO010 |
| BUS DATI DA SUCE VERSO U.C. | | CON00 ÷ CON70 |
| | | |
| | | |
| | | |
| TASTO </> PREMUTO | 0 | VM15 |
| | | |
| CANALE INDIRIZZO MEMORIA | | BC000 ÷ BC150 |
| REGISTRI DA CPU19 | | BA00÷07 BB00÷07 |
| LIVELLI DI LAVORO | | LIV12 LIV14 |
| MASTRO DI RESET | ⊔ | RESEM |

9756. 30. 1

## PRINCIPIO DI FUNZIONAMENTO GENERALE

Ci limiteremo in questo capitolo ad illustrare brevemente il principio di funzionamento generale dell'unità XD 4000 S seguendo lo schema a blocchi generale di questa unità riportato in figura 2.1

### Realizzazione dei microcomandi manuali (PUAIA escluso)

In assetto microprogramma e passo-passo, il SUCE 2 blocca la temporizzazione del CPU 19 col segnale BTOOA generato da un'apposita logica (vedi schema di figura 2.1).
Impostando il microcomando nasce il suo segnale caratteristico (CAROA ----- PUAIA) e sui bus S001A+4A e M001A+4A provenienti da consolle di comando si predispongono gli eventuali codici di selezione per lo scratch pad.
Se devono essere introdotti dei dati questi vengono staticizzati sul buffer di tastiera BK00+15 del SUCE 2.
L'insieme dei dati impostati sulla consolle di comando giungono così sulla rete della logica dei microcomandi manuali e in particolare sulla matrice di generazione delle microistruzioni che predispone il codice della microistruzione che realizza il microcomando sul bus ME00+15.
Premendo la barra ENTRY la logica di via operazioni abilita la logica di controllo delle operazioni ad avviare un ciclo di temporizzazione del CPU 19 abbassando il segnale BT001 per il tempo necessazio.
Il CPU 19 esegue così dapprima una fase $\alpha$ e quindi una fase $\beta$
Durante la fase $\alpha$, il CPU 19 invia un indirizzo alla memoria accompagnato dallo strobe WBCON che sulla XD 4000 S avvia la logica di controllo del canale di memoria.
Il SUCE 2, col segnale DIMEN, disabilita la memoria e si sostituisce ad essa inviando il codice della microistruzione sul bus ME00+15 e generando il segnale MEOCO che permette al CPU 19 di introdurre il codice presente sul canale di memoria e dare inizio alla fase $\beta$ durante la quale la microistruzione è eseguita.
Nel caso di microcomandi che si eseguono con due microistruzioni la temporizzazione del CPU 19 è sbloccata per due cicli $\alpha$ e $\beta$ e ad ognuna delle due fasi $\alpha$ la matrice di generazione del codice di microistruzione predispone due diversi codici.

### Funzionamento del SUCE 2 in assetto programma

In assetto programma il SUCE 2 non può bloccare in alcun modo la temporizzazione del CPU 19.
La logica di assetto programma culmina nel bus dati verso U.C. CON0+7 sul quale convergono o delle condizioni predisposte sul SUCE 2 stesso o i dati provenienti dal buffer di tastiera o da quello di alt indirizzato.
La scelta tra i tre possibili ingressi al bus CON0+7 dipende dai bit R000+01 che a seconda che si esegua una microistruzione TDMA, TDPA e TCCA assumono una posizione diversa.
I segnali CE21N+CE25N generati dalle microistruzioni COM11+15 partecipano anch'essi al controllo del bus.
Le suddette condizioni o dati condizionano l'esecuzione del microprogramma, ma non intervengono nell'esecuzione delle singole microistruzioni.

### Funzionamento dell'alt indirizzato

In assetto microprogramma, impostando il microcomando per l'alt indirizzato nasce il segnale PUAIA che non avvia nessuna microistruzione, ma abilita i dati introdotti sulla tastiera esadecimale ad essere memorizzati sul buffer di alt indirizzato.
Durante lo svolgimento del microprogramma, l'indirizzo di memoria emesso dal CPU 19 (BC00 + 15) è portato su un confrontatore che lo confronta col contentuo del buffer di alt indirizzato e quando i due dati sono uguali, il SUCE alza ad 1 il segnale BTOOA bloccando l'esecuzione del microprogramma.

Se il pulsante HALT ENABLE è premuto non viene mosso BTOOA ed il segnale di indirizzo trovato (RUN11) è portato sul test point della consolle di comando.
In assetto programma l'indirizzo di alt indirizzato viene introdotto dapprima sul buffer di alt indirizzato e poi il CPU 19 lo preleva tramite il bus CON0÷7. E' quindi lasciato al microprogramma il controllo del raggiungimento della posizione voluta e la relativa segnalazione sulla lampada.

Funzionamento della logica dei display

I display DATA e ADDRESS come già il display del microcomando esaminato nella consolle di comando, si accendono ad intermittenza col controllo di una temporizzazione realizzata sul modulo XD 4000S come risulta dallo schema a blocchi.
Una seconda rete abilita coi segnali BL111-141 e BLD11÷41 l'accensione dei soli visualizzatori significativi nei diversi momenti. La stessa rete di abilitazione controlla i bus da portare sul display.
Si presentano infatti diversi casi che in breve esaminiamo di seguito.

a) Esecuzione microcomandi manuali a livello microprogramma.
I dati impostati sulla tastiera arrivano al display partendo dal buffer di tastiera BK00÷15 a meno che si tratti di un microcomando di alt indirizzato nel qual caso è il buffer di alt indirizzato (IC00÷15) che è portato sul display.
Dopo aver eseguito il microcomando, ci si ferma in una fase $\alpha$ e sul display DATA viene visualizzato ciò che è staticizzato sui buffer BA00÷07 e BB00÷07 di CPU 19, ovvero i dati che sono transitati sui nodi del CPU 19 durante l'esecuzione dell'ultima microistruzione.
Premendo il tasto $\alpha$, sono portati sul display DATA e ADDRESS rispettivamente il bus di memoria ME00÷15 relativo all'ultima fase $\alpha$ eseguita ovvero il codice dell'ultima microistruzione eseguita dopo averlo staticizzato sui latch BM001÷151 e l'indirizzo di memoria BC00÷15 relativo all'ultima microistruzione eseguita dopo averlo memorizzato sul buffer IM00÷15

b) Esecuzione passo passo dei microprogrammi.
I dati e gli indirizzi di memoria relativi alle fasi $\beta$ sono disponibili e quindi prelevate sui buffer del CPU 19 BA00÷007, BB00÷07 e BC00÷15 senza bisogno di ulteriore memorizzazione sul SUCE 2.
I codici delle microistruzioni e gli indirizzi di memoria che transitano durante le fasi $\alpha$ sui bus ME00÷15 e BC00÷15 sono memorizzati sul SUCE 2 rispettivamente sui latch BM00÷15 e IM00÷15 e quindi sono richiamabili sui display col tasto $\alpha$.

c) Operazioni a livello programma.
A livello programma, i display sono gestiti con microistruzioni TABC.
Durante l'esecuzione della TABC i dati transitano temporaneamente sui nodi BA00÷07 e BB00÷07 e quindi lì sono prelevati per essere memorizzati sul buffer BM00 ÷ 15 o sul buffer IM00 ÷ 15 e quindi visualizzati sul display DATA o sul display ADDRESS.

## LOGICA DI RESET

Il segnale proveniente da consolle, MIREA, è rigenerato sul SUCE 2 (vedi DISL 003, M9 e P9), viene utilizzato sul SUCE 2 stesso e viene emesso verso il CPU 19 in wired-or col segnale RESEN generato sull'alimentatore.

## LOGICA DI CONTROLLO DEGLI INDICATORI DI LIVELLO

L'U.C. comunica il proprio stato di lavoro sui due fili LV120 e LV140, i quali vengono decodificati ed utilizzati per pilotare dei diodi luminescenti (LED) sulla consolle.
La tabella di figura 2.2 riassume il comportamento della rete di controllo che è riportata sul DISL 006.

| Livello di lavoro | Segnali da U.C. | | Segnali emessi verso consolle | | | |
|---|---|---|---|---|---|---|
| | LV120 | LV140 | LIV11 | LIV21 | LIV31 | LIV41 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| 2 | 1 | 0 | 0 | 1 | 0 | 0 |
| 3 | 0 | 0 | 0 | 0 | 1 | 0 |
| 4 | 0 | 1 | 0 | 0 | 0 | 1 |

fig. 2.2

## BUFFER DI TASTIERA

Il buffer di tastiera BK001 - BK151 (DISL 008 - A5, C5, E5 e F5) ha la capacità di 4 cifre esadecimali e viene caricato con i segnali che decodificano i tasti della consolle di comando BIT01+BIT31.
Il mastro che carica il codice del tasto sul buffer è CRET1 (DISL 11 - A3), il quale ripete lo strobe della tastiera esadecimale MAB11 solo se il microcomando impostato su consolle prevede l'impostazione di dati sulla tastiera esadecimale.
La tabella di figura 2.3 riassume le condizioni di assetto macchina (PROGRAMMA e MICROPROGRAMMA) e i microcomandi impostati su consolle di comando che abilitano la nascita dello strobe CRET1.
Come risulta dalla tabella, il microcomando fa nascere CBTAA che è il clock del buffer di alt indirizzato.

| Microcomando impostato | | MASTRO ABILITATO | |
|---|---|---|---|
| | | Programma | Microprogramma |
| 1 | CAROA | - | CRET1 |
| 2 | CRTAA | - | CRET1 |
| 3 | CRTBA | - | CRET1 |
| 4 | TABCA | - | - |
| 5 | CRLL | CRET1 | CRET1 |
| 6 | MAIP | CRET1 | - |
| 7 | CRET1 | CRET1 | CRET1 |
| 8 | TDI1 | CRET1 | - |
| 9 | SDIA | CRET1 | CRET1 |
| 0 | PUAIA | CBT11 | CBTAA |

fig. 2.3

## LOGICA DI VIA DELLE OPERAZIONI

I pulsanti della consolle di comando atti a determinare l'avvio di operazioni sono tre:

- tasto KE
- barra ENTRY
- tasto start

L'operazione comandata dal tasto "KE" si esaurisce nell'ambito della consolle di comando e serve a trasferire il contenuto del buffer di consolle sul buffer staticizzatore del microcomando.
La barra ENTRY determina l'esecuzione dei microcomandi manuali, mentre il tasto START determina la ripresa di PROGRAMMI o MICROPROGRAMMI.
L'esecuzione dei microcomandi è avviata anche dalla logica di lettura o registrazione cartolina come si vedrà nel capitolo riservato a questo argomento.
Vediamo ora i segnali generati dalla barra ENTRY e dal tasto START, nel capitolo successivo si tratterà dell'utilizzazione di tali segnali.

- Barra ENTRY per l'avvio di microcomandi manuali

  Comandando la barra ENTRY o l'AUT ENTRY nasce sulla consolle di comando il segnale BARRA che sul l'XD 4000 S è staticizzato sul F.F. VIDIO (DISL 001.E1). Se non si sta leggendo o registrando una cartolina magnetica ed il microcomando è diverso da quello di ALT INDIRIZZATO (PUAIA=1), il segnale VIDIO genera VIMIA (DISL 001.E2).
  VIMIA è anche generato da RILEA e RIVIN sul gate del DISL 001.D2 in occasione della lettura o registrazione cartolina.

- Tasto START per l'avvio di PROGRAMMI e MICROPROGRAMMI

  Il tasto START genera sulla consolle di comando i segnali VIALA e VIAL1 che sono stati staticizzati sul l'XD 4000 S sul F.F. VITEO (DISL001-P1). Con la salita di VITEO è avviato l'univibratore EXV11 (DISL001-T5) della durata di circa 1 µsec.

## LOGICA DI SELEZIONE DELL'ASSETTO DI LAVORO

Il segnale NOPRA e SIPRA del pulsante PROGRAMMA sono staticizzati sul F.F. MICRO (DISL 001-P2) che è ad 1 se si lavora in MICROPROGRAMMA.
Un rigenerato del segnale MICRO assume il nome di PROG1 (DISL 001-R3) e caratterizza l'assetto di lavoro in PROGRAMMA.
I segnali SIPA e NOPA generati dal pulsante STEP BY STEP sono staticizzati sul F.F.PASSO (DISL001--G1); il F.F. PASSO è ad 1 in assetto di PASSO-PASSO.

## LOGICA DI CONTROLLO DELLA TEMPORIZZAZIONE DEL CPU 19

Si ricorda che la temporizzazione del CPU 19 può essere arrestata alla fine di una fase $\beta$ col segnale BT000. Il segnale emesso dal SUCE 2 si chiama BT00A (DISL 001-L7) ed arresta la temporizzazione sul CPU 19 quando è a livello logico 1.

### - BLOCCO DELLA TEMPORIZZAZIONE

La temporizzazione del CPU 19 può essere arrestata solo in assetto MICROPROGRAMMA nel caso si lavori in PASSO PASSO o se, avendo prenotato un ALT INDIRIZZATO, si raggiunge l'indirizzo d'arresto.
L'arresto per ALT INDIRIZZATO è evitato se è premuto il pulsante HALT ENABLE.
Il segnale BTOOA è tenuto ad 1 da TOBO1 (DISL001-G5), in cui ABTOO riassume le condizioni che permettono di bloccare la temporizz. e VIBOA a MIDUN vanno temporaneamente a zero per sganciarla nei diversi casi.
ABTOO (DISL 001-M5) può anche essere settato nel caso di Alt indirizzato tramite il clock RUTE1, ma ciò sarà oggetto di studio nel paragrafo che tratta l'Alt indirizzato.
Il pulsante HALT ENABLE forza a zero ABTOO col segnale BLOCO (DISL 008-R9) ed impedisce l'arresto della temporizzazione.

Avvio della temporizzazione per l'esecuzione di microcomandi

La temporizzazione del CPU 19 deve poter eseguire una fase $\alpha$ ed una fase $\beta$ se il microcomando può essere eseguito con una microistruzione, mentre se occorrono due microistruzioni si permettono due cicli di fasi $\alpha$ e $\beta$.

- Microcomandi eseguiti con una sola microistruzione
  (Riferirsi alla temporizzazione di figura 2.4)

  Per poter avviare la temporizzazione occorre portare a 0 per un istante il segnale BTOOA (DISL 001-L7), ciò è realizzato portando a zero VIBOA (DISL 001-G4). VIBOA è forzato a zero da EVIB1 che ripete VIMIA ovvero il segnale generato dalla barra ENTRY.
  Non appena parte la temporizzazione e nasce la fase $\alpha$, il CPU 19 porta a zero il segnale ALFAA (DISL001-S1) che tramite SEBLA (DISL 001-G5), setta SBL00 (DISL 001-E4) che interrompe VIBOA e quindi permette a BITOOA di tornare ad 1 in modo da arrestare la temporizzazione alla fine della fase $\beta$.
  SBLOO (DISL 001-E4) torna a zero con VIB11(DISL 001-E3) quando si rilascia la barra ENTRY.
  Come si può vedere dalla temporizzazione, SBLOO evita più di una fase $\alpha$ anche se la barra ENTRY rimane premuta per tempi lunghi.

- Microcomandi eseguiti con due microistruzioni

  Riferirsi alla temporizzazione di figura 2.5.
  Il primo ciclo di temporizzazione è garantito come si è detto nel paragrafo precedente da VIBOA che va a zero con la barra ENTRY e vi resta finchè non inizia la prima fase $\alpha$.
  Nel caso di microcomandi WL, WM, e W.DEV, alla fine della prima fase $\alpha$ viene settato il F.F. MIDUO (DISL 001-A6) che porta TOBO1 (DISL 001-G5) ad 1 e quindi impedisce il blocco della temporizzazione alla fine della prima fase $\beta$.
  All'inizio della 2° fase $\alpha$ viene però settato il F.F. BBTOO (DISL 001 - G6) che porta ad 1 BTOO1 ed abilita il blocco della temporizzazione alla fine della 2^ fase $\beta$.
  MIDUO viene resettato alla fine della 2^ fase $\alpha$. BBTOO è resettato quando viene rilasciata la barra ENTRY.

Temporizzazione dell'esecuzione di un microcomando eseguito con una sola microistruzione

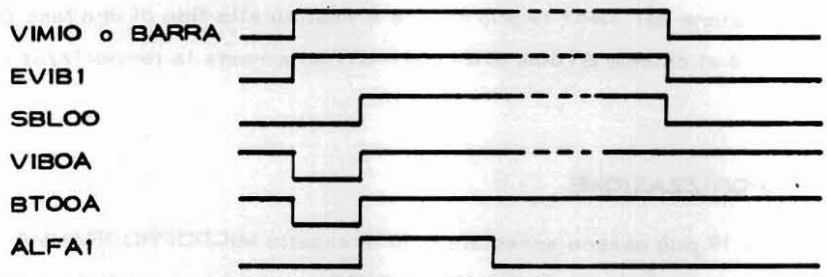



fig. 2.4

Temporizzazione dell'esecuzione di un microcomando eseguito con due microistruzioni

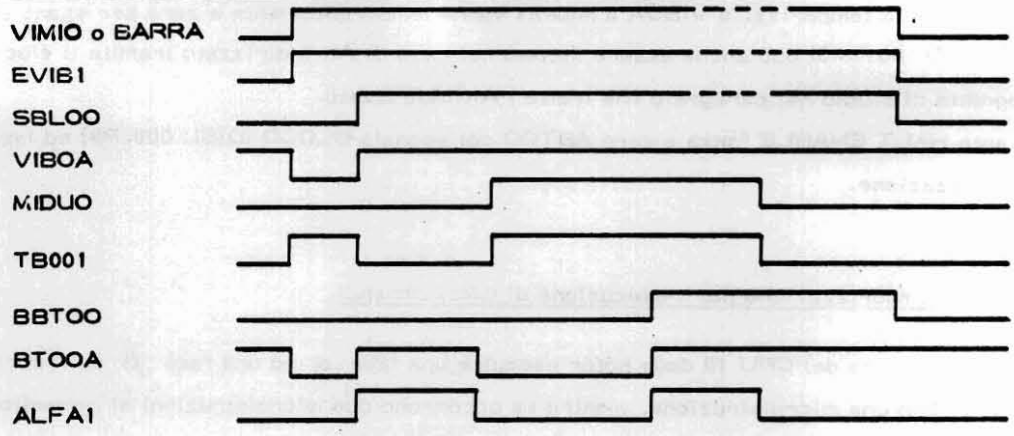



Fig. 2,5

Controllo della temporizzazione in lettura cartolina magnetica

Per leggere una cartolina magnetica si predispone il SUCE 2 in assetti passo-passo e microprogramma e si predispone il microcomando AMIP che richiede due microistruzioni per essere eseguito.
Ad ogni by letto il segnale RILEA genera VIMIA che opera come il tasto ENTRY.
In lettura sono valide le temporizzazioni di figura 2.5 se si tiene conto che VIMIA diventa un segnale ciclico con periodo totale di 1,85 msec.

Controllo della temporizzazione in registrazione cartolina magnetica

Valgono le cose dette sopra se si tiene conto che il microcomando predisposto è un MAIP che si esegue con una sola microistruzione e VIMIA viene generato da RIVIN.
Sono da ritenersi valide le temporizzazioni di fig. 2.4.

AVVIO DELLA TEMPORIZZAZIONE PER L'ESECUZIONE DI MICROPROGRAMMI E PROGRAMMI

Per avviare un programma o un microprogramma si usa il tasto START.
Se si è in assetto PROGRAMMA, e si avvia la temporizzazione del CPU 19 questa non può essere fermata. Infatti sia che si operi in PASSO PASSO che nel caso di ALT INDIRIZZATO l'arresto è fatto eseguendo continuamente un breve loop di microistruzioni dal quale si esce solo impostando il tasto START che in questo caso non controlla quindi la temporizzazione ma l'esecuzione del microprogramma.

- Avvio della temporizzazione per l'esecuzione continua di un microprogramma

In questo caso per avviare la temporizzazione è sufficiente resettare il F.F. ABTOO (DISL 001-M5)che se forza a 1 il segnale BTOOA (DISL 001-L7) blocca la temporizzazione del CPU 19.
ABTOO è resettato da PAEXA che se non si è in PASSO PASSO ripete l'univibratore EXV11 (DISL 001--T5) che parte premendo il tasto START.
ABTOO torna in set ed arresta il microprogramma quando si preme il pulsante STEP BY STEP ,come risulta dalla temporizzazione di figura 2.6 o con un ALT INDIRIZZATO.

Temporizzazione dell'avvio con START in assetto continuo e microprogramma

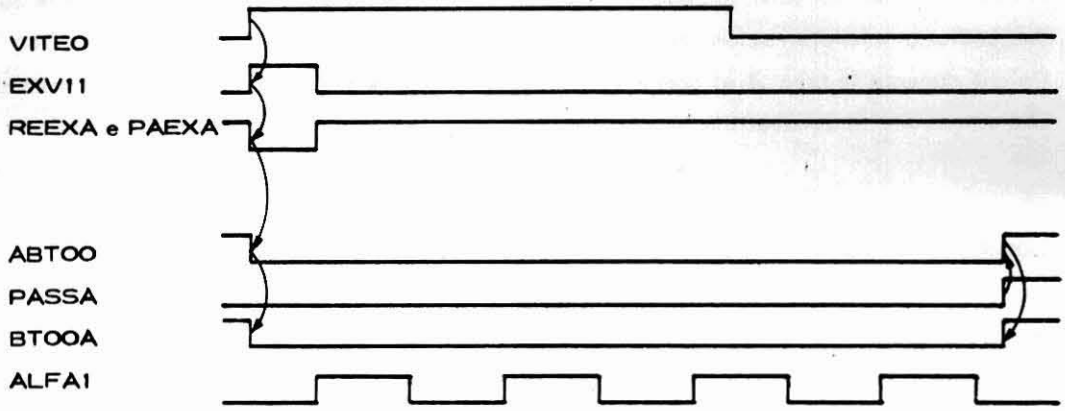



fig. 2.6

- Avvio della temporizzazione per l'esecuzione di un microprogramma in passo-passo

Riferirsi alla temporizzazione di figura 2.7

In questo caso ABTOO (DISL 001-M5) è tenuto costantemente in set da PASSA.
Per poter avviare un ciclo di temporizzazione BTOOA (DISL 001-L7) è portato a zero da VIBOA.
VIBOA (DISL 001-G4) ripete EVIB1 e quindi EXV11 (DISL 001-T5).
SBLOO si setta con la prima fase $\alpha$ e si resetta rilasciando il tasto START.
SBLOO ad 1 e quindi EVIB1=0 portano VIBOA ad 1 permettendo così l'esecuzione di una sola fase $\alpha$.

Temporizzazione dell'avvio con START in assetto passo-passo e microprogramma

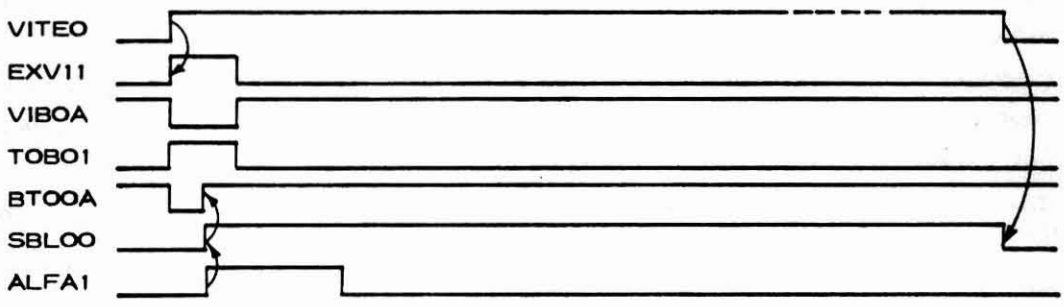



fig. 2.7

## LOGICA DI ESECUZIONE DEI MICROCOMANDI MANUALI

Nel capitolo CONTROLLO DELLA TEMPORIZZAZIONE è già stato esposto come la barra ENTRY controlla una o due cicli di temporizzazione sul CPU 19 per poter eseguire una o due microistrzioni.

Le microistruzioni da eseguire dipendono dal microcomando impostato e vanno quindi forzate da SUCE 2.

La microistruzione è forzata sul bus di memoria ME000÷15 che durante una fase $\alpha$ porta sul buffer RO il codice della microistruzione. Il codice forzato dipende dal decodificato del microcomando eseguito; nel caso di microcomandi eseguiti con due microistruzioni verranno generati per ognuna delle due fasi $\alpha$ eseguite due codici di microistruzioni diverse.

Poichè durante la fase $\alpha$ si opera sul canale di memoria occorre disabilitare la memoria stessa per evitare che sul canale si accavallino le informazioni provenienti da SUCE 2 e da memoria.

## LOGICA DI CONTROLLO DEL CANALE DI MEMORIA

La memoria è disabilitata da DIMEN a zero volt, infatti in questo modo i circuiti "tristate" delle piastre di memoria vengono messi in condizione di alta impedenza e si può quindi dire che la memoria viene scollegata dal canale.

Durante la fase $\alpha$ , il CPU 19 richiede il codice della microistruzione da eseguire col mastro WBCON e tenderebbe ad aggiornare l'indirizzo di microprogramma, l'aggiornamento è però bloccato da DIMEN a zero.

La figura 2.8 è relativa al caso di un microcomando che viene eseguito con una sola microistruzione.

La barra ENTRY genera il segnale VIM12 che genera il segnale SEMEA (DISL 001-N3) e quindi ASMEB (DISL 001-B8).

ASMEB setta il F.F. MEDIO (DISL 001-M4) che durante la fase $\alpha$ che viene eseguita genera DIMEN (DISL 001-S7).

Il segnale ABDE (DISL 001-S6) oltre a generare DIMEN provoca all'arrivo di WBCON, la partenza dell'univibratore MEOCO che ha la durata di 200nsec.: tempo sufficiente perchè la matrice di forzaggio della microistruzione predisponga sul canale ME001 - ME151 il codice della microistruzione.

MEOCO setta il F.F. ATRIO (DISL 003-G2) il quale abilita i circuiti "tristate" della matrice di generazione dei microcomandi a emettere il codice della microistruzione sul canale di memoria, come vedremo in uno dei prossimi paragrafi.

La figura 2.9 riporta le forme d'onda di un caso di microcomando realizzato con due microistruzioni.

DIMEN nasce una prima volta come si è visto sopra e una seconda volta nasce per effetto di TERSA (DISL 001-A7) che forza ASMEB e quindi setta MEDIO (DISL 001-M4)

Come si può verificare dalla temporizzazione e dagli schemi, ATRIO è fatto cadere col WBCON.

**Temporizzazione di controllo del canale di memoria nel caso di comandi eseguiti con una sola microistruzione**

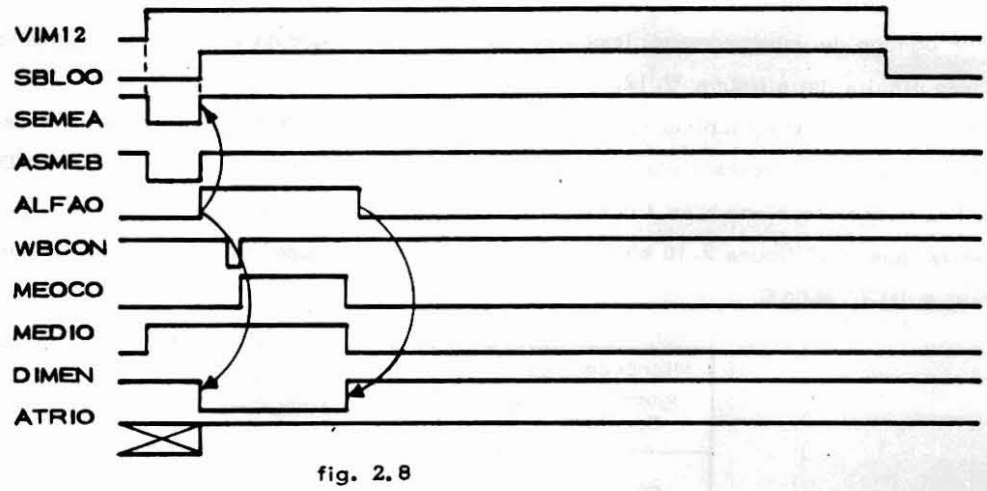



fig. 2.8

**Temporizzazione di controllo del canale di memoria nel caso di comandi eseguiti con due microistruzioni**

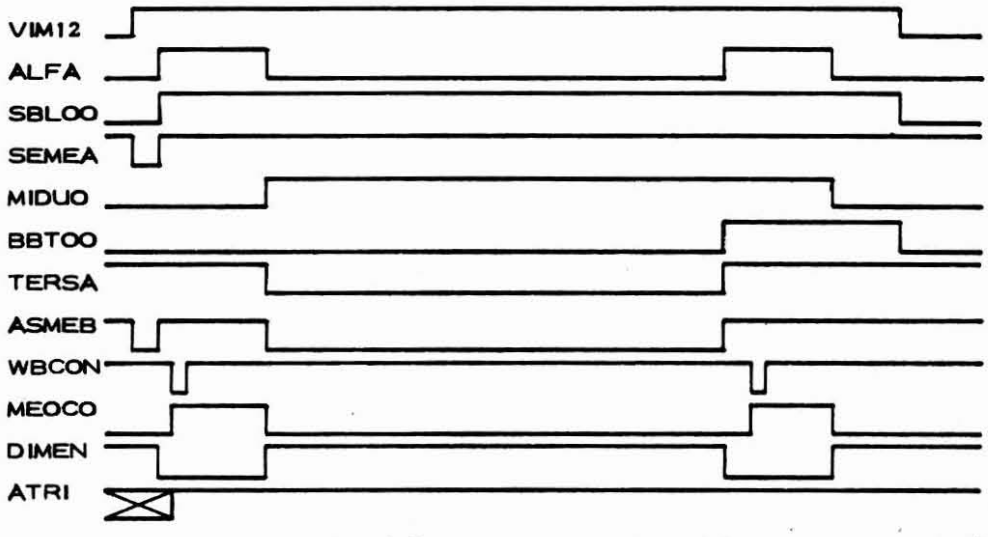



fig. 2.9

## DECODIFICA DEL MICROCOMANDO

Per ognuno dei microcomandi impostati sulla consolle, questa emette uno dei segnali CAROA, CRTAA, PUAIA come risulta dalla figura ▽. 12.

I microcomandi che richiedono due microistruzioni CRRLA, SDIAA e AMIPA vengono scomposti in due diversi comandi; il segnale usato per temporizzare i due diversi microcomandi è MIDUO che è a zero durante la prima microistruzione e ad 1 durante la seconda.

Nella tabella di figura 2. 10 sintetizziamo per ogni microcomando emesso da consolle i due microcomandi ottenuti sull'XD 4000 S

| Microcomando emesso da Consolle | Microcomando durante la 1^microistr. MIDUO=0 | Microcomando durante la 2^microistr. MIDUO=1 |
|---|---|---|
| CRRLA | CRTAA (DISL 001-C9) | CRTBA (DISL 001-E9) |
| AMIPA | CRTAA (DISL 001-A9) | AMIPC (DISL 001-M9) |
| SDIAA | CRTAA (DISL 001-A9) | SDIAC (DISL 001-N9) |

fig. 2. 10

I microcomandi CRTAA, CRTBA, AMIPC e SDIAC visti sopra e gli altri microcomandi emessi da consolle sono portati su un "8 input priority encoder" che genera i segnali BETAA, GAMMA, DELT1 e REBUN.

Si noti che REBUN ogni volta che si imposta un nuovo microcomando dà un impulso che acquista il significato di azzeramento del vecchio microcomando come vedremo nel capitolo LOGICA DEI VISUALIZZATORI.

La tabella di figura 2. 11 indica per ogni microcomando i decodificati che vengono generati; in effetti la stessa tabella dà anche per ogni microcomando o meglio per ogni microistruzione ciò che è portato sul canale di memoria ME001-151 e il codice simbolico della microistruzione eseguita.

## MATRICE DI GENERAZIONE DELLE MICROISTRUZIONI

La logica relativa a questa parte del SUCE è tutta riportata sul DISL 002.

L'uscita della rete è data dai circuiti "tristate" QPT1 riportati sulle righe E e T.

I segnali generati sono ME000-150 e ripetono i segnali MEA00-METOO mentre i segnali ATROA e ATROC quando sono a zero abilitano il normale funzionamento del gate e bloccano invece l'uscita in condizione "alta impedenza" quando sono ad 1 scollegando in pratica tali circuiti dal canale di memoria.

Ciò che compare quindi sul canale di memoria è l'uscita dei 16 "8 input multiplexer" riportati sulle righe A e P. Gli "8 input multiplexer" sono controllati dai segnali in uscita dalla rete di decodifica dei microcomandi; DELT, BETA e GAMM.

Esaminiamo in dettaglio il caso che sia stato impostato un microcomando WA che forza il segnale CRTAA a zero e come risulta dalla tabella di figura 2. 11 posiziona: BETA1 a 1, GAMMA1 a 0 e DELT1 a zero.

In questo caso sugli "8 input multiplexer" sono abilitati gli ingressi sul piedino 2.

Sul canale ME000 - 150 appare perciò:

- su ME150-120: il codice operativo della microistruzione CRTA che è $[7]_{16}$
- su ME110-080: la selezione del registro "A3" in cui si vuol scrivere il byte, derivato da S003-000 che sono i bit che selezionano lo S.P.
- su ME070-000: è portato il contenuto di KMC01-71, su cui essendo ABILO a zero passa il contenuto del buffer di tastiera BK071-01.

Nel caso di lettura della cartolina magnetica, quando si esegue la microistruzione CRTA su KMC01+71 passa non più il buffer di tastiera BK070-00 ma il buffer di cartolina BIC071-01.

Nel caso di microistruzioni CRTB, su ME070-00 passano KB071-KB001.

Si noti che nel caso di microcomando WB su KB071-001 passa il primo byte del buffer di tastiera mentre il microcomando WL passa il secondo byte dello stesso buffer.

## TABELLA RIASSUNTIVA DELLA RETE DI FORZAGGIO DI MICROISTRUZIONI DA SUCE 2

| Comando da Console | | µ Istruz. | . DECODIFICATI | | | | CODICE SU CANALE MEMORIA "ME" | | | | Microistruzione eseguita |
|---|---|---|---|---|---|---|---|---|---|---|---|
| Cod. | Segnale | | BETA1 | GAMM1 | DELT1 | REBUN | 15 12 | 11 08 | 07 04 | 03 00 | |
| 0 | CAROA=0 | | 1 | 1 | 1 | 1 | BK15 - 12 | BK11 - 08 | BK07 - 04 | BK03 - 00 | Micro forzata su RO |
| 1 | CRTAA=0 | CRTA | 1 | 0 | 0 | 1 | (7)16 | S003 - 00 | BK07 - 04 | BK03 - 00 | CRTA |
| 2 | CRTBA=0 | CRTB | 0 | 1 | 0 | 1 | (5)16 | S003 - 00 | BK07 - 04 | BK03 - 00 | CRTB |
| 3 | TABCA | TABC | 0 | 0 | 0 | 1 | (F)16 | (A)16 | S003 - 00 | S003 - 00 | TABC |
| 4 | CRRLA | CRTA | 1 | 0 | 0 | 1 | (7)16 | S003 - 00 | BK07 - 04 | BK03 - 00 | CRTA |
| | | CRTB | 0 | 1 | 0 | 1 | (5)16 | S003 - 00 | BK15 - 12 | BK11-BK08 | CRTB |
| 5 | MAIPA | MAIP | 0 | 0 | 1 | 1 | (9)16 | (8)16 | M003 - 00 | S003 - 00 | MAIP |
| 6 | AMIPA da Console | CRTA | 1 | 0 | 0 | 1 | (7)16 | S003 - 00 | BK07 - 04 | BK03 - 00 | CRTA |
| | | AMIP | 1 | 0 | 1 | 1 | (8)16 | (8)16 | M003 - 00 | S003 - 04 | AMIP |
| | AMIPA da Cartolina | CRTA | 1 | 0 | 0 | 1 | (7)16 | S003 - 00 | BIC07-04 | BIC3 - 00 | CRTA |
| | | AMIP | 1 | 0 | 1 | 1 | (8)16 | (8)16 | M003 - 00 | S003 - 00 | AMIP |
| 7 | TDIAA | TDIA | | | | 1 | (C)16 | (5)16 | S003 - 00 | S003 - 00 | TDIA |
| 8 | SDIAA | CRTA | 1 | 0 | 0 | 1 | (7)16 | S003 - 00 | BK07 - 04 | BK03 - 00 | CRTA |
| | | SDIA | 0 | 1 | 1 | 1 | (A)16 | (3)16 | S003 - 00 | S003 - 00 | SDIA |
| | PUA11=0 | | 1 | 1 | 1 | 0 | BK15 - 12 | BK11 - 08 | BK07 - 04 | BK03 - 00 | Nessuna |

## LOGICA DI SCAMBIO DATI A LIVELLO PROGRAMMA

Si ricorda che questa logica è tutta controllata dal firmware col "package" di trattamento del SUCE 2.

### BUS DA CONSOLLE

La rete che genera il bus da consolle CON00÷70 è riportata sul DISL 007 in M4 ÷M7 e N4 ÷N7 ed è composta da 8 circuiti "4 input multiplexer" di cui sono utilizzati solo i primi 3 ingressi.
Il controllo del buffer portato su CON0÷70 è fatto dai due segnali R0001 e R0011 che sono i segnali rigenerati dei primi due F.F. del buffer RO del CPU 19.
I bit R0001 e R0011 differenziano tra di loro le tre microistruzioni, TCCA, TDMA e TDPA che servono a introdurre i dati da consolle su CPU 19.
La tabellina di figura 2.12 riporta la condizione dei bit R0001 e R0011 in funzione della microistruzione impostata e il lavoro svolto da ognuna delle tre microistruzioni.

| Microistr. | Bit del buffer R0 | | Lavori svolti |
|---|---|---|---|
| | R0001 | R0011 | |
| TCCA | 0 | 0 | Trasferisce il bus di condizione da consolle in scratch pad |
| TDMA | 1 | 0 | Trasferisce il byte meno significativo dei dati o indirizzi da consolle in s.p. |
| TDPA | 0 | 1 | Trasferisce il byte più significativo dei dati o indirizzi da consolle in scratch pad. |

fig. 2.12

Con la microistruzione TCCA viene abilitato su CON0÷70 il bus di condizioni CCPP1, CCU11, CWM01, CWM01.
Con la microistruzione TDMA è abilitata la parte meno significativa del buffer B1001÷B1151 mentre con la TDPA viene abilitata la parte più significativa.

### CONDIZIONI DA CONSOLLE

Gli 8 bit di condizione da consolle sono comandati dai:
- tasti START, STEP BY STEP e ABSOLUTE
- microcomandi con codice operativo 5, 6, 7, 9 e 0.

- Microcomandi 4, 5, 6, 7 e 8 in assetto programma

  I microcomandi 4, 5, 6, 7 e 8 operano con una logica che è del tutto simile nei quattro casi, il microcomando opera invece in modo diverso.

Una volta impostata la barra ENTRY che avvia l'esecuzione del microcomando, il segnale VID11 o VID12 provvede a settare uno dei F. F. CIROO, CLAOO, CLMOO o CWMOO (DISL 006-A3) a seconda che sia stato impostato rispettivamente come microcomando 8 (TDIA1=1), 5 (CRRL2=1), 6 (MAIP2=1) o 7 (AMIP2=1).
Il F. F. CITOO che compare sugli schermi insieme ai F.F. sopra menzionati non è in realtà utilizzato.
Se uno qualsiasi dei 4 microcomandi esposti sopra è avviato, il segnale BICD1 (DISL 006-R4) impedisce che possa essere impostato un bit relativo a un diverso microcomando finchè il bit già predisposto non è resettato. BICD1 abilita MAB11, che è lo strobe di tastiera proveniente da console di comando, a generare il mastro CRET1 coi microcomandi 4, 5, 6, 7, 8 e 9 come indicato nella figura 2. 3.
I F.F. CIROO, CLAOO, CLMOO e CWMOO generano rispettivamente i bit CON30, CON40, CON60 e CON70.
I F.F. CIRO, CLAOO, CLMOO e CWMOO sono resettati con una microistruzione COM12 che emette da CPU 19 verso SUCE 2 un impulso del segnale CE22N.
Il segnale CE22N, assume il nome di COM12 (DISL 006-N4) che genera a sua volta i segnali REISC (DISL 006-Q3) e REISD (DISL 006-P4) che resettano i F. F. CIRO, CLAOO, CLMOO, CWMOO e riportano quindi ad 1 il segnale BICD1.

- Microcomando di Alt indirizzato in assetto programma

Il microcomando "0" viene trattato in dettaglio nella logica di Alt indirizzato.
In questo paragrafo ci limitiamo a dire che in questo caso nasce il segnale DUNUO che genera CCA1A (DISL 007-L3) e quindi CON20.

- Tasto STEP BY STEP

Il tasto STEP BY STEP genera PASS1 (DISL 001-L2) che a sua volta, in programma, genera CCPAA (DISL 007-E3) che forza il bit CONOO (DISL 007-M4).

- Tasto ABSOLUTE

Il segnale EXC10 dato dal tasto ABSOLUTE è portato direttamente sul CON50 (DISL 007-P6).

- Tasto START

Il tasto START genera come si è già visto nella logica di via e di controllo della temporizzazione, il segnale VITEOO (DISL 001-P1) che genera CCVIA (DISL 007-L3) e quindi CON10 (DISL 007-P4).
Il tasto START è comandato manualmente ed ha quindi una durata indeterminata ed in particolare potrebbe durare più del tempo necessario ad eseguire una o più istruzioni.
Se si opera in passo-passo può succedere, quindi, che alla fine di una fase $\beta$ di una istruzione introducendo il bus di consolle si veda il tasto START premuto e che quindi si avvii più di una istruzione.
Per evitare ciò, il sistema, quando rileva il tasto START e riprende il programma, esegue una microistruzione COM11, che emette il segnale CE21N verso SUCE 2.
CE21N genera un segnale COM11 (DISL 008-D6) che a sua volta setta SBLOO (DISL 001-L3) limitando la durata di CCVIA a un tempo ben delimitato come risulta da figura 2. 13.

Temporizzazione del tasto START

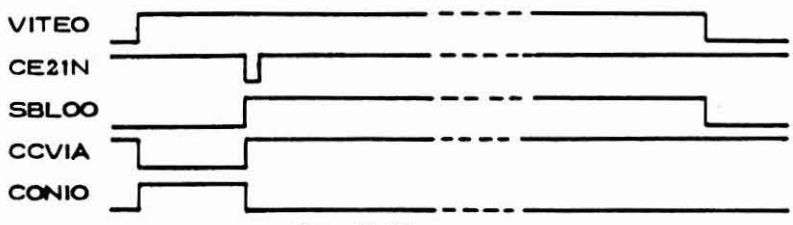



fig. 2. 13

DATI DA CONSOLLE

Le microistruzioni TDMA e TDPA sono eseguite in seguito ai microcomandi 5, 7, 8 e 0 per introdurre 16 bit di indirizzo da consolle sul sistema in prova.
Coi microcomandi 5, 7 e 8 gli indirizzi o i dati impostati da tastiera sono staticizzati sul buffer di tastiera BK001+BK151 mentre col microcomando 0 l'indirizzo per l'alt va sul buffer di Alt indirizzato IC001 + IC0151 come si può anche vedere dallo schema a blocchi di figura 2. 1

- Selezione

Abbiamo già visto che tramite i bit R0001 e R0011 del buffer R0 a seconda che si esegua una microistruzione o una TDPA il sistema introduce la parte meno o più significativa del buffer BI001+BI151 (DISL 006 -righe A, C e G, da 5 a 8). Ora vedremo come su BI001+BI151 può essere portato il buffer *BK001+ BK151.*
La selezione è fatta dal F.F. SEREO (DISL 006-M6). SEREO è forzato a zero da BORSA con RESET, in assetto microprogramma da GIP01=0 e con la microistruzione COM12 che in assetto programma avverte che il dato introdotto col microcomando è stato già stato usato dal CPU 19.
SEREO è messo in set solo in PROGRAMMA (GIP01) se c'è stato un microcomando di Alt indirizzato che ha predisposto DUNUO e il bit CON20 ad 1 o quando il sistema in prova esegue una microistruzione COM14 che genera un impulso su CE24N.
Come si vede è quindi il microprogramma stesso che, dopo aver rilevato che è stato impostato un microcomando di Alt indirizzato, deve forzare su BI001+BI151 il buffer di Alt indirizzato.

## LOGICA DI ALT INDIRIZZATO

La logica di Alt indirizzato differisce notevolmente a seconda che si operi a livello PROGRAMMA o MICRO PROGRAMMA.
L'unica parte in comune è quella del buffer di alt indirizzato, di cui parleremo di seguito, mentre per il resto tratteremo indipendentemente la logica a livello PROGRAMMA e MICROPROGRAMMA.

### BUFFER DI ALT INDIRIZZATO

Avendo impostato sulla consolle di comando un micro comando con codice 0 (PUA11) che prelude all'imposta - zione di un indirizzo di alt, le cifre esadecimali che seguono tale microcomando e arrivano sul bus BT001-41 vengono memorizzate sul buffer di alt indirizzato ICO01-ICO151 (DISL 008-M5, P5, R5 e T5).
Il clock del buffer è CBTAA (DISL 008-M4) in cui lo strobe di tastiera MAB11 è abilitato da PUA11 e viene invece bloccato dopo che è stato introdotto un indirizzo; quest'ultimo blocco è fatto, come vedremo nel dettaglio in seguito, a livello MICROPROGRAMMA da BUNUN e a livello PROGRAMMA da PUSPA.

### LOGICA DI PRENOTAZIONE ALT A LIVELLO MICROPROGRAMMA

L'alt indirizzato a livello microprogramma, va impostato con un microcomando 0 (PUA11=1), in assetto di passo-passo (PASSA=0).
L'indirizzo impostato va quindi sul buffer di alt indirizzato. Quando si è finito l'impostazione dell'indirizzo e si comanda la barra ENTRY, si setta il F.F. BUNUO (DISL 008-A9).
BUNUO memorizza che è stato predisposto un indirizzo di alt, blocca il clock CBTAA sul buffer di alt indirizzato impedendone così la modifica del contenuto.
La prenotazione di un alt indirizzato viene annullata resettando BUNUO in tre diversi modi:
1 - con Reset (DISL 008-B8)
2 - passando a livello PROGRAMMA (DISL 008-C8)
3 - con"keyboard clear"in microprogramma (DISL 008-D8)

### CONTROLLO DELLA TEMPORIZZAZIONE A LIVELLO MICROPROGRAMMA

Un alt indirizzato provoca l'arresto della temporizzazione del CPU 19 per fermare l'esecuzione di un microprogramma solo se il tasto HALT ENABLE è a riposo (BLOCO=0).
L'arresto della temporizzazione è controllato da un confrontatore che confronta l'indirizzo del buffer di alt indirizzato con l'indirizzo di memoria BC000+150 che è ripeturo dal bus IN001-151 (DISL 001-colonne 1 e 2).
Il confrontatore è composto da 4 comparatori di 5 bit ognuno, DNZA1, DOZA1, TEZA1 e QUZA1 riportati sul DISL 008 in colonna 3.
Il segnale EQUA1 (DISL 008-T4) viene portato ad 1 solo quando i due indirizzi confrontati coincidono.
Se in presenza di EQUA2 il CPU 19 emette lo strobe di indirizzo WBC10, si è sicuri che su IN001+IN151 è presente un indirizzo e viene quindi abilitata la partenza dell'univibratore RUN11 (DISL 008-T9) con periodo di 0,15 $\mu$sec. RUN11 viene rigenerato da RUTE1 (DISL 001-P4) che setta il F.F. ABTOO (DISL 001-M5) e blocca quindi la temporizzazione di unità centrale con BTOOA (DISL 001-L7) che viene forzato ad 1.
La temporizzazione viene riavviata comandando il pulsante START che genera EXV11 (DISL 001-T5) e resetta il F.F ABTOO con l'ingresso diretto; nel frattempo rimane abilitata la prenotazione di alt.

## PRENOTAZIONE DI ALT INDIRIZZATO A LIVELLO PROGRAMMA

Per il trattamento dell'alt indirizzato a livello programma, occorre che il firmware sia munito del package di microistruzioni per il trattamento del SUCE altrimenti l'alt indirizzato non viene eseguito.
La prenotazione di alt indirizzato può essere fatta sia durante lo svolgimento del programma sia prima di avviare il programma.
La prenotazione è fatta impostando sulla consolle di comando il microcomando 9 che predispone il segnale PUA11 ad 1.
Quando PUA11 è ad 1, un eventuale indirizzo impostato entra come si è già visto, sul buffer di alt indirizzato.
La barra "ENTRY" che segue l'indirizzo, forza in set il F.F. DUNUO (DISL 007-A6).
L'indirizzo può essere introdotto come indirizzo assoluto o come spiazzamento rispetto ad un indirizzo base già contenuto nel sistema in prova.
Il sistema tratterrà gli indirizzi forniti come assoluti solo se il pulsante ABSOLUTE è premuto e quindi EXC10 è posto ad 1.
DUNUO controlla CCA11 (DISL007-L3) che è portato all'ingresso del multiplexer di condizione di consolle CONOO (DISL 007-M4) mentre EXC10 lavora sul multiplexer di condizione di consolle CON50 (DISL 007-P6).
All'inizio di una fase di programma, il package di microistruzioni per il trattamento del SUCE 2, con una logica già trattata nel capitolo LOGICA SCAMBIO DATI A LIVELLO PROGRAMMA e qui ripresa in sintesi, introduce sul sistema la condizione da consolle con una microistruzione TCCA.
Esaminando la condizione da consolle il sistema viene a conoscenza del fatto che è stato prenotato un alt indirizzato, perciò esegue una microistruzione COM14 che setta SEREO e forza sul buffer BI001÷BI151 (DISL-006) il contenuto del buffer di alt indirizzato IC001÷ 1C151.
Il contenuto di BI001÷BI151 viene quindi introdotto con una microistruzione TDMA e una TDPA sul sistema.
Una volta introdotto l'indirizzo con una microistruzione COM12, viene resettato SEREO.

## ARRESTO DEL PROGRAMMA SU ALT INDIRIZZATO

Quando la macchina in prova rileva che il "PROGRAM COUNTER" ha raggiunto l'indirizzo su cui si è chiesto l'alt (anche per questo occorre il modulo di microprogramma che tratti il SUCE 2) entra in un loop di microistruzioni in attesa che venga comandato uno START su consolle per far ripartire il programma.
Il loop di microistruzioni può essere preceduto da due microistruzioni TABC che possono portare su SUCE 2 il codice esadecimale della istruzione da eseguire e il relativo indirizzo.
La segnalazione che è stata raggiunto l'indirizzo prenotato è data da una microistruzione COM13 (come si vedrà nel prossimo paragrafo) che deve precedere il loop di microistruzioni di attesa START.

- **Lampada PAI**

La lampada PAI può avere tre condizioni di lavoro: spenta, accesa e lampeggiante.
La lampada è spenta se non è stato prenotato alcun alt indirizzato, è accesa se c'è stata una prenotazione ma l'indirizzo non è stato raggiunto, lampeggia se si è fermi all'indirizzo prenotato.
Le condizioni suddette sono date dalla posizione dei due F.F. DUNUO e FIAPO a livello PROGRAMMA e dei F.F. BONUO e FIANO a livello MICROPROGRAMMA come è sintetizzato nella tabella.

F. F.

| Assetto | F.F. Prenotaz. | Indirizzo raggiunto | LAMPADA PAI | | |
|---|---|---|---|---|---|
| | | | Spenta | Accesa | Lampeg. |
| Program. | DUNUO | FIAPO | DUNUO=0<br>FIAPO =0 | DUNUO=1<br>FIAPO=0 | DUNUO=1<br>FIAPO =1 |
| Micropr. | BUNUO | FIANO | BUNUO=0<br>FIANO =0 | BUNUO=1<br>FIANO =0 | BUNUO=1<br>FIANO =1 |

fig. 2.13 a

La lampada PAI è infatti pilotata da LAA11 (DISL 008-P9) che è l'and di PUPU1, che in microprogramma ripete BUNUO e in programma DUNUO e l'uscita dell'oscillatore DASIC che è bloccata ad 1 se OSA11 (DISL 008-M6) è a zero e quindi se FIAPO e FIANO sono a zero. E' sufficiente che FIAPO o FIANO vadano in set perchè l'oscillatore DASIC oscilli e la lampada lampeggi.

- Logica di FIANO: indirizzo trovato in microprogramma.

FIANO (DISL 008-E9) è settato da RUN11 in presenza di EQUA2, viene invece resettato da OFAIA che riassume le seguenti condizioni:

1) impostazione tasto PROGRAMMA (DISL 008-C9)
2) Reset (DISL 008-D9)
3) Tasto START a livello microprogramma (DISL 008-E8)
4) Impostazione tasto HALT ENABLE (DISL 008-A4)
5) Keyboard CLEAR su consolle di comando (DISL 008-G7)

- Logica di FIAPO: indirizzo trovato in programma

FIAPO (DISL 008-M9) è settato a livello programma da U. C. come microistruzione COM13 che emette il comando CE23N che su SUCE 2 viene rigenerato ed assume il nome COM13 (DISL 008-L9).
FIAPO è invece resettato da RETRA nelle seguenti condizioni:

1) CLEAR in PROGRAMMA (DISL 008-C4)
2) Reset (DISL 008-E4)
3) Microprogramma (DISL 008-F4)
4) Esecuzione di una COM11 successiva alla battuta del tasto START su consolle (DISL 008-G4)

- Logica del test point

Il segnale connesso al test point montato sulla consolle di comando è TESTN (DISL 008-P4) che è generato dalla presenza di RUN11 ed EQUA2 ogni volta che in microprogramma si raggiunge l'indirizzo voluto.
Se si vuole evitare l'alt in microprogramma per poter visualizzare in continuo lo svolgimento delle operazioni sulla macchina in prova, il segnale del pulsante HALT ENABLE forza in reset continuo ABTOO (DISL 008-R9) impedendo l'arresto del microprogramma.

## LOGICA DEL DISPLAY ADDRESS E DATA

Riferirsi allo schema di figura 2. 14 e ai DISL.

### LATCH E LORO CONTROLLO

Alcuni dati da visualizzare sono disponibili sui bus per tempi molto limitati e vanno staticizzati su dei latch sul SUCE 2 se li si vuole visualizzare per tempi accettabili.
I dati che vanno staticizzati sono diversi a seconda che si operi in assetto programma o microprogramma.

- Assetto microprogramma

  In assetto microprogramma, tenendo premuto il tasto α la barra ENTRY o il pulsante START si vogliono richiamare sui display il codice della microistruzione eseguita e il suo indirizzo.
  Il codice della microistruzione e il suo indirizzo sono disponibili, solo durante la fase α che è molto veloce, rispettivamente sui bus ME00+15 e BC00+15.
  In queste condizioni il segnale ALFA proveniente da U. C. genera i segnali ALOAB (DISL 005-Q4) e ALPRB (DISL 005-G1) che a loro volta generano i clock ALF53-83 (DISL 005-R1, S1, T1 , U1) e ALP13 +43 (DISL 005-A1, B1, C1 e D1).
  I clock generati da ALOAB agiscono su 16 latch BM00+15 (DISL 004-colonna 3) mentre quelli generati da ALPRB operano sui latch IM00+15 (DISL 005-colonna 3).
  Il buffer BM00+15 staticizza così il bus di memoria (ME00+15 che arriva tramite il bus IE00+15 (DISL 003) e che porta il codice della microistruzione.
  Il buffer IM00+15 staticizza il bus di indirizzo memoria BC00+15 che arriva tramite il bus IN00 + 15 (DISL 0C colonna 02).
  Il bus IN00+15 è indicato sullo schema a blocchi come l'uscita di un multiplexer controllato da PROG; in effetti la rete di IN01 è completata dai segnali BC00B+BC15B sul DISL 007 colonna 9 e può davvero essere assimilata ad una rete di multiplexer.

- Assetto programma

  In assetto programma sui DISPLAY devono comparire i dati emessi con le microistruzioni TABC.
  I dati transitano sui nodi del CPU 19 e di lì vanno sui buffer BA00+07 BB00+07 dove rimangono per il tempo di una microistruzione.
  Il SUCE 2 preleva il dato del bus BA00+7 e BB00+07, lo rigenera sul bus NA00+07 e NB00+07 (DISL 04 colonna 5) e lo invia in input sia ai latch BM che ai latch IM.
  Il dato emesso con la TABC è accompagnato dallo strobe CO10 che sul SUCE fa nascere ALOA (DISL 005-R4) o ALPRB (DISL 005-L1) col controllo di ABIN1 (DISL 005-P1) .
  Il F. F. ABIN0 è posizionabile in set direttamente con la microistruzione COM15 e si resetta con RESET, col pulsante microprogramma, e dopo ogni TABC col clock CO10.

### TEMPORIZZAZIONE E CONTROLLO DELL'ACCENSIONE ALTERNATA DEI DISPLAY

Per ridurre la potenza dissipata sui display, si abilita l'accensione di un visualizzatore per volta sui display DATA e ADDRESS, ma per l'effetto della persistenza delle immagini appaiono contemporaneamente accesi.
L'alternanza della accensione è controllata da una temporizzazione montata sul SUCE 2 e riportata sul DISL C5.
La temporizzazione trae origine dall'oscillatore OSVIA (DISL 005-B7) che fa avanzare due divisori di frequenza FDUE e FUNO le cui 4 combinazioni sono quindi decodificate dai segnali ABD1A-4A (vedi temporizzazioni su fig. 2. 14).

I segnali ABD1A-4A abilitano l'accensione di un visualizzatore per volta sui display data e address, mentre i segnali FUNO e FUDO abilitano, su 6 reti di multiplexer, la serializzazione a livello cifra della 4 cifre disponibili su ognuno dei 6 buffer che possono essere visualizzati.
In particolare ABD1A abilita l'accensione dei visualizzatori della cifra meno significativa mentre FUNO e FUDO abilitano anch'essi in uscita dalle 6 reti di multiplexer la cifra meno significativa.
Ogni bus da visualizzare che all'inizio è composto da 16 fili è ricondotto a 4 fili dopo i multiplexer.

## LOGICA DI ABILITAZIONE DEI DISPLAY ADRRESS

- Disabilitazione delle cifre non significative

  I segnali BL111-41 (DISL 011-A9-B9-C9-D9) disabilitano quando sono a 1 l'accensione dei visualizzatori del display ADDRESS nei casi in cui non riportano informazioni significative.
  I quattro segnali ripetono il F.F. LBINO (DISL 11-D7 e E7) le cui condizioni di set e reset sono riportate nella tabella A di figura 2.14.
  In pratica si può vedere che il display ADDRESS è abilitato sempre in assetto microprogramma solo se START, ENTRY o ∝ sono premuti per visualizzare l'indirizzo della microistruzione e dopo ENTRY se la microistruzione interessa la memoria.

- Logica di controllo del bus ADDRESS

  Il segnale BOMUB (DISL 005-R9) abilita uno dei due bus ID100+ID130 o IST0+IST3 (DISL 005-colonna 3) sulla rete di multiplexer che generano i segnali IND11+IND41 che portano serializzati a livello cifra, le 4 cifre da visualizzare sul display DATA.
  BOMUB come è indicato nello schema di figura 2.14 va a 1 in assetto microprogramma coi tasti ∝, START e ENTRY premuti e sempre in assetto programma.

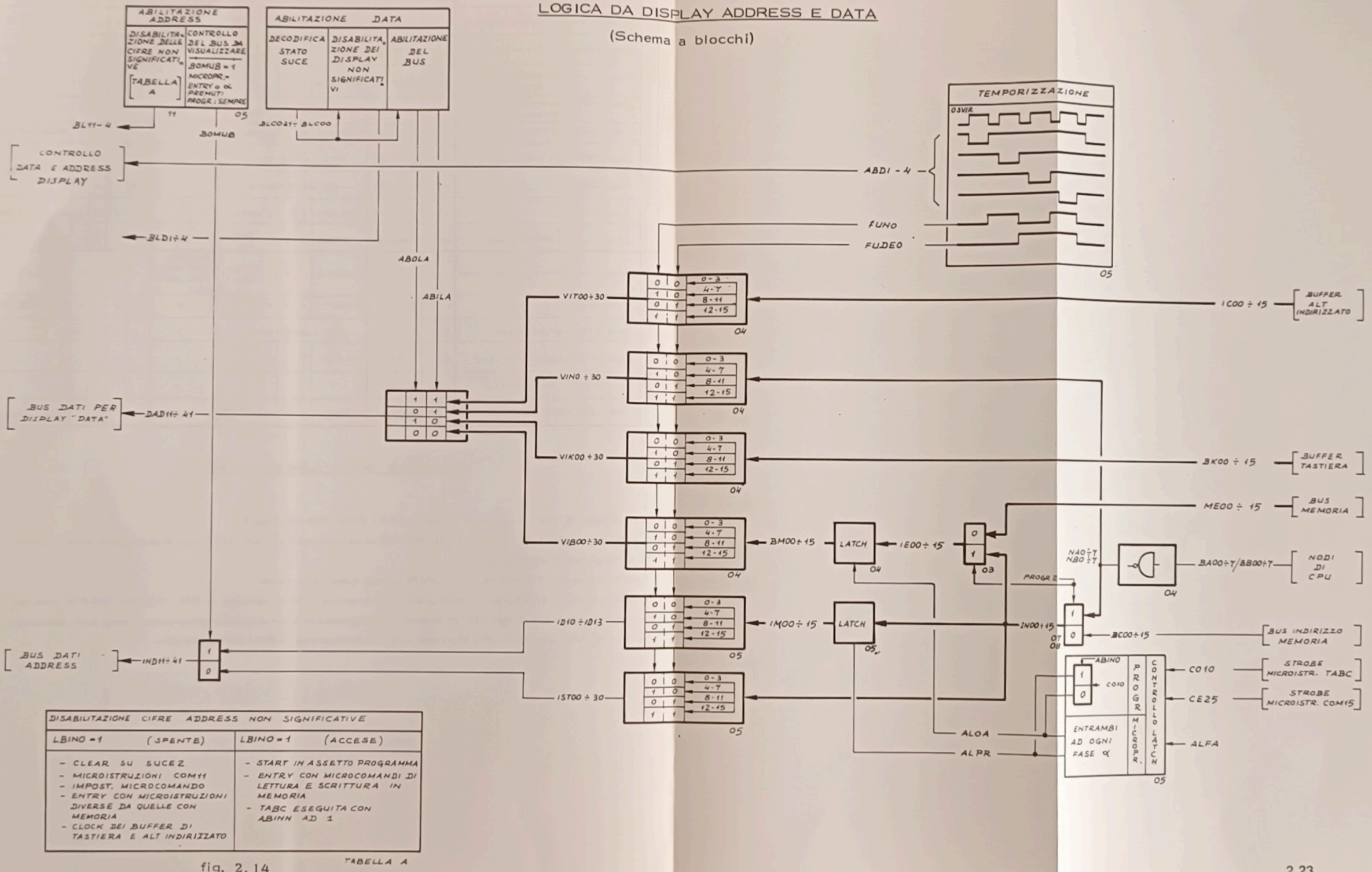
## LOGICA ABILITAZIONE DISPLAY DATA

La logica di abilitazione del display data è organizzata in 3 blocchi essenziali ed è documentato sullo schema a blocchi di fig. 2.14 che sul DISL 011.
Essendo una logica facilmente sintetizzabile su una tabella affidiamo la spiegazione alla tabella di fig. 2.15 e ci limitiamo a spiegare cosa è riportato sulla tabella.
In funzione delle operazioni comandate, in assetto MICROPROGRAMMA o PROGRAMMA, sono date:

- la situazione dei F.F. BUCOO e LOCUO (DISL 11-N5 e N6) e i loro decodificati BCL0-BCL3 che definiscono lo stato macchina.
- la situazione dell'ingresso e delle uscite dell'8 INPUT PRIORITY ENCODER" del DISL (G11-G3) che decodificando lo stato macchina e i codici dei microcomandi, abilita uno dei 4 bus possibili sul bus DAD11--41 coi fili ABOLA e ABILA.
- la situazione dello shift register MBL11+41 (DISL 011-A6) che durante la impostazione dati su SUCE avrà tante uscite ad 1 per ogni tasto impostato sulla tastiera esadecimale e che controlla l'accensione progressiva dei display sulla rete che genera i fili BLD11+41 (DISL D11-M9-P9-R9-T9)
- la situazione dei fili BLD11-41 che sono controllati dallo stato della macchina e dalla logica dell'accensione progressiva o che disabilitano l'accensione dei display non significativi.

# LOGICA DA DISPLAY ADDRESS E DATA

(Schema a blocchi)




| DISABILITAZIONE CIFRE ADDRESS NON SIGNIFICATIVE | |
|---|---|
| LBINO = 1 (SPENTE) | LBINO = 1 (ACCESE) |
| - CLEAR SU SUCE2<br>- MICROISTRUZIONI COM11<br>- IMPOST. MICROCOMANDO<br>- ENTRY CON MICROISTRUZIONI DIVERSE DA QUELLE CON MEMORIA<br>- CLOCK DEI BUFFER DI TASTIERA E ALT INDIRIZZATO | - START IN ASSETTO PROGRAMMA<br>- ENTRY CON MICROCOMANDI DI LETTURA E SCRITTURA IN MEMORIA<br>- TABC ESEGUITA CON ABINN AD 1 |

TABELLA A

fig. 2.14

| | OPERAZIONI COMANDATE | DECODIFICA STATO SUCE | | | ABILITAZIONE DEL BUS | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | LOCUD | BUCUD | DEC. | INPUT | ABOLA | ABILA | ABZLA | BUS AB. | PROGRES. MBL | 00081 | 00181 | INGRES. | ABILIT. | LAMPADE ACCESE |
| ASSETTO MICROPROGRAMMA | Impostazione dati: CAROA-CRRLA | 1 | 1 | BLC01=1 | BLOFA=0 | 1 | 0 | 0 | Buffer Tast. | SI | 0 | 0 | 12 | 4 | $\overline{D4}$-$\overline{D3}$-$\overline{D2}$-$\overline{D1}$ |
| | Impostazione dati: Alt indirizzato | 1 | 1 | BLC01=1 | PUAIA=0 | 1 | 1 | 0 | Buffer Alt. Ind. | SI | 0 | 0 | 12 | 4 | $\overline{D4}$-$\overline{D3}$-$\overline{D2}$-$\overline{D1}$ |
| | Impostazione dati: AMIPA-SDIAA CRTAA-CRTBA | 1 | 1 | BLC01=1 | BLOMA=0 | 1 | 0 | 1 | Buffer Tast. | SI | 0 | 0 | 12 | 4 | - - $\overline{D2}$-$\overline{D1}$ |
| | Dopo ENTRY: AMIPA-SDIAA-TDIAA CRTAA-CRTB-MAIPA | 0 | 1 | BLC31=1 | BLORA=0 | 0 | 1 | 1 | NOD1 | / | 1 | 0 | 11 | 5 | D2-D1 |
| | Dopo ENTRY: TABCA - CAROA | 0 | 1 | BLC31=1 | EXBLA=0 | 0 | 1 | 0 | NOD1 | / | 1 | 0 | 11 | 5 | D4-D3-D2-D1 |
| | Dopo ENTRY: Alt indirizzato | 0 | 0 | BLC1N=1 | NON IMPORTANTE | | | | | / | 0 | 1 | 10 | 6 | |
| | Dopo CLEAR | 0 | 0 | BLC1N=1 | NON IMPORTANTE | | | | | / | 0 | 1 | 10 | 6 | |
| | Dopo START | 1 | 0 | BLC21=1 | EXBLA=0 | 0 | 1 | 0 | NOD1 | / | 1 | 0 | 11 | 5 | D4-D3-D2-D1 |
| | START - $\overline{dL}$ - o ENTRY premuti | NON IMPORTA | | | BLOSA=0 | 0 | 0 | 0 | BM00 15 | / | 1 | 1 | 10 | 6 | D4-D3-D2-D1 |
| ASSETTO PROGRAMMA | Impostazione dati non alt indirizzato | 1 | 1 | BLC01=1 | BLOFA=0 | 1 | 0 | 1 | Buffer Tast. | Solo con: MAIP-AMIP CRRL-SDIA TDIA | 0 | 0 | 12 | 4 | $\overline{D4}$-$\overline{D3}$-$\overline{D2}$-$\overline{D1}$ |
| | Impostazione alt indirizzato | 0 | 0 | BLC | PUAIA | 1 | 1 | 0 | Buffer Alt. Ind. | SI | 0 | 0 | 12 | 4 | $\overline{D4}$-$\overline{D3}$-$\overline{D2}$-$\overline{D1}$ |
| | Dopo ENTRY: alt indirizzato | 0 | 0 | BLC1N=1 | NON IMPORTANTE | | | | | / | 0 | 1 | 10 | 6 | |
| | Dopo ENTRY: non alt indirizzato | 0 | 1 | BLC3N=1 | POLC2=1 | 1 | 1 | 1 | Non Import. | / | 1 | 0 | 11 | 5 | |
| | Dopo CLEAR - Dopo COM11 | 0 | 0 | BLC1N=1 | | | | | | / | | | | | |
| | TABC con ABINO ad 1 | 1 | 0 | BLC21=1 | PLOSA | 0 | 0 | 0 | BM00 15 | / | 1 | 1 | 10 | 6 | D4-D3-D2-D1 |

Fig. 2.15

## CONTROLLO DELLA LAMPADA START

La lampada START si accende quando LAV11 (DISL 008-G8) è ad 1.

LAV11 è messo a 1 da ABT00 (DISL 008-L6) in passo passo o in alt indirizzato di microprogramma quando si è raggiunto l'indirizzo voluto.

LAV11 è messo a 1 anche dal F.F. DIV10 quando questi è in reset.

DIV10 è in reset in programma dopo una microistruzione COM12 eseguita su CPU 19 (DISL 008-F6) mentre è messo in set e quindi non può far accendere la lampada in assetto di microprogramma o dopo aver comandato uno START quando il CPU 19 esegue una microistruzione COM11 (DISL 008-E6).

# 3. GRUPPO CARTOLINA

9756.30.1

# I N D I C E


GRUPPO CARTOLINA . . . . . pag. 3.01

TRASCINATORE . . . . . " 3.01

PIASTRA ATTUAZIONI . . . . . " 3.01

GRUPPO CARTOLINA (Schema a blocchi) . . . . . " 3.03

- Circuito di cancellazione . . . . . " 3.04

- Circuito di registrazione . . . . . " 3.05

- Amplificatore lettura cartolina magnetica . . . . . " 3.06

PIASTRA AMPLIFICATORE CARTOLINA . . . . . " 3.07

GRUPPO CARTOLINA (Piastra attuazioni) CIRCUITI USATI NEL SUCE 2 . . . . . " 3.08

LOGICA DI CARTOLINA SU XD 4000 S . . . . . " 3.09

- Logica di trascinamento delle cartoline . . . . . " 3.09

- Logica della registrazione . . . . . " 3.10

- Logica della lettura . . . . . " 3.12

REGOLAZIONI MECCANICHE E VERIFICHE ELETTRICHE . . . . . " 3.15

POSIZIONE DI RIPOSO DEL CONTRORULLINO PER ESPULSIONE SCHEDA . . . . . " 3.16

ACCOPPIAMENTO DELLE RUOTE DENTATE DEL GRUPPO DI ALIMENTAZIONE SCHEDE . . . . . " 3.17

PARALLELISMO DEI RULLINI RISPETTO AL PIANO APPOGGIA SCHEDE . . . . . " 3.17

POSIZIONAMENTO DELLA PIASTRINA PER IL PASSAGGIO DI UNA SOLA SCHEDA PER VOLTA . . . . . " 3.18

POSIZIONE DI RIPOSO DEL PREMISCHEDE . . . . . " 3.18

POSIZIONE DI LAVORO DELL'ANCORA DELL'EM DI ALIMENTAZIONE SCHEDE . . . . " 3.19

QUANTITA' DI COMANDO DEI RULLINI DI ALIMENTAZIONE SCHEDE . . . . . " 3.19

POSIZIONE DI RIPOSO DEI RULLINI PER ALIMENTAZIONE SCHEDE . . . . . " 3.20

POSIZIONE DI LAVORO DELL'EM PER EPULSIONE SCHEDA . . . . . " 3.20

POSIZIONE DI RIPOSO DEL CONTRORULLINO PER ESPULSIONE SCHEDA . . . . . " 3.21

CENTRATURA DELLA CINGHIA DI TRASCINAMENTO RULLINI . . . . . " 3.21

POSIZIONAMENTO DEL MICRO PRESENZA SCHEDA . . . . . " 3.22

POSIZIONAMENTO DEL MICRO "ABILITAZIONE REGISTRAZIONE" . . . . . " 3.22

POSIZIONAMENTO DEL MICRO "FINE ALIMENTAZIONE" . . . . . " 3.23

SCATTO DEL MICRO "REGISTRAZIONE/LETTURA" A INIZIO SCHEDA . . . . . " 3.23

SCATTO DEL MICRO "REGISTRAZIONE/LETTURA" A FINE SCHEDA . . . . . " 3.24

POSIZIONE DELLA TESTINA MAGNETICA (SKEW) . . . . . " 3.24

VERIFICA AMPIEZZA SEGNALE LETTURA . . . . . " 3.25

VERIFICA DEL JITTER . . . . . " 3.25

## GRUPPO CARTOLINA

Il gruppo cartolina usato sul SUCE 2 è lo stesso del sistema A7 anche se nel SUCE 2 non vengono utilizzate tutte le segnalazioni esistenti sull'A7.

Ogni scheda può essere registrata per un massimo di 255 byte. Non è registrato nessun codice di controllo.

La tecnica di registrazione usata è quella della duplicazione di frequenza, ovvero vengono registrati i clock (con periodo di 230 $\mu$sec.) intervallati dai bit 1.

La testina è dotata di un gap per la registrazione e scrittura e di un gap per la cancellazione delle informazioni già esistenti.

Il gruppo non ha la possibilità di controllare se le schede sono inibite per la registrazione come succede sull'A7.

Il gruppo è composto da un trascinatore meccanico e da una piastra di attuazione, il governo dell'unità è integrato nell'unità XD4000 S.

### TRASCINATORE

Il gruppo meccanico per quanto interessa il SUCE 2 può essere sintetizzato nello schema di figura 3. 1

Il gruppo è dotato di una consolle di alimentazione nella quale possono essere inserite le cartoline magnetiche singolarmente o a gruppi.

Il microinterruttore "presenza cartoline" segnala che almeno una cartolina magnetica è nella casella.

Le cartoline magnetiche vengono trascinate una ad una quando l'E. M. di alimentazione viene eccitato e la filiera è portata a contatto delle cartoline.

Quando la cartolina magnetica è presa in consegna dal gruppo di trascinamento continuo, un microinterruttore segnala che una cartolina è già stata introdotta e quindi l'E. M. di alimentazione può essere diseccitato.

La cartolina passa quindi sopra la testina magnetica e un microinterruttore segnala l'inizio e la fine della cartolina; per l'esattezza dobbiamo dire che il microinterruttore si chiude quando i primi 4 mm delle cartoline sono passati sopra il gap della testina e si riapre quando tutta la cartolina meno un tratto di 4 mm è già passata sopra il gap.

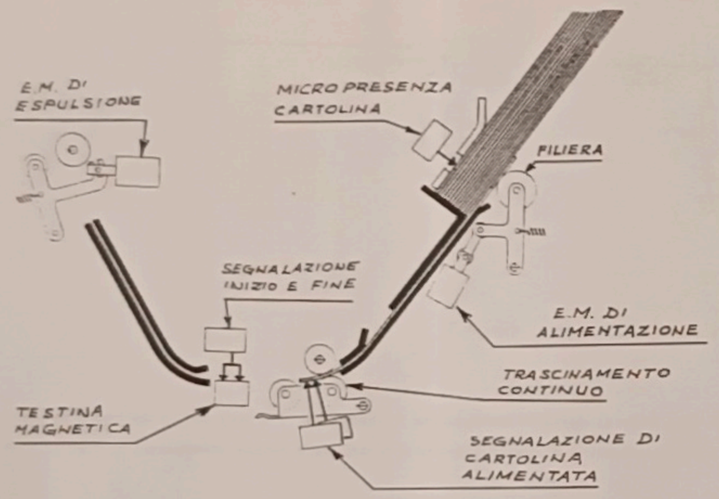
Normalmente quando viene data la segnalazione di fine cartolina viene comandato l'E. M. di espulsione che accosta dei controrullini che permettono l'espulsione.

### PIASTRA ATTUAZIONI

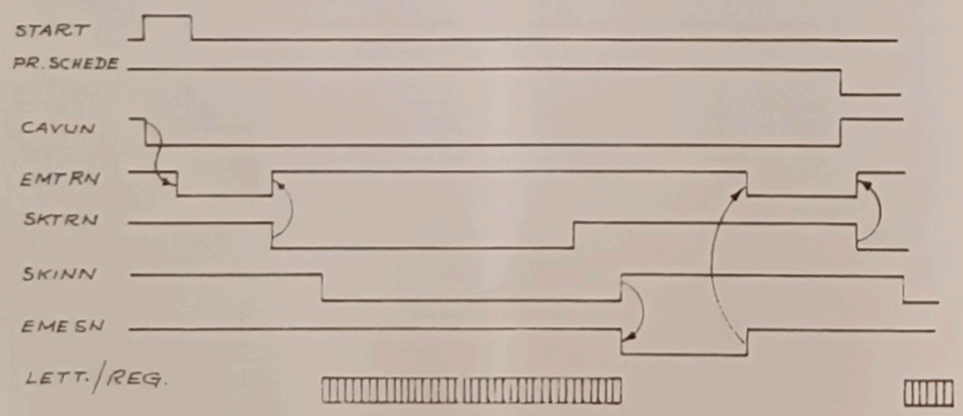
Nella stessa figura 3. 1 è riportato uno schema a blocchi della piastra d'attuazione.

Sulla piastra sono montate alcune parti che sono utilizzate dalla sola A7 che sono state eliminate dal nostro schema a blocchi.

## Schema gruppo meccanico




## Temporizzazioni trascinamento di 2 schede




## GRUPPO CARTOLINA

Schema a blocchi piastra attuazioni

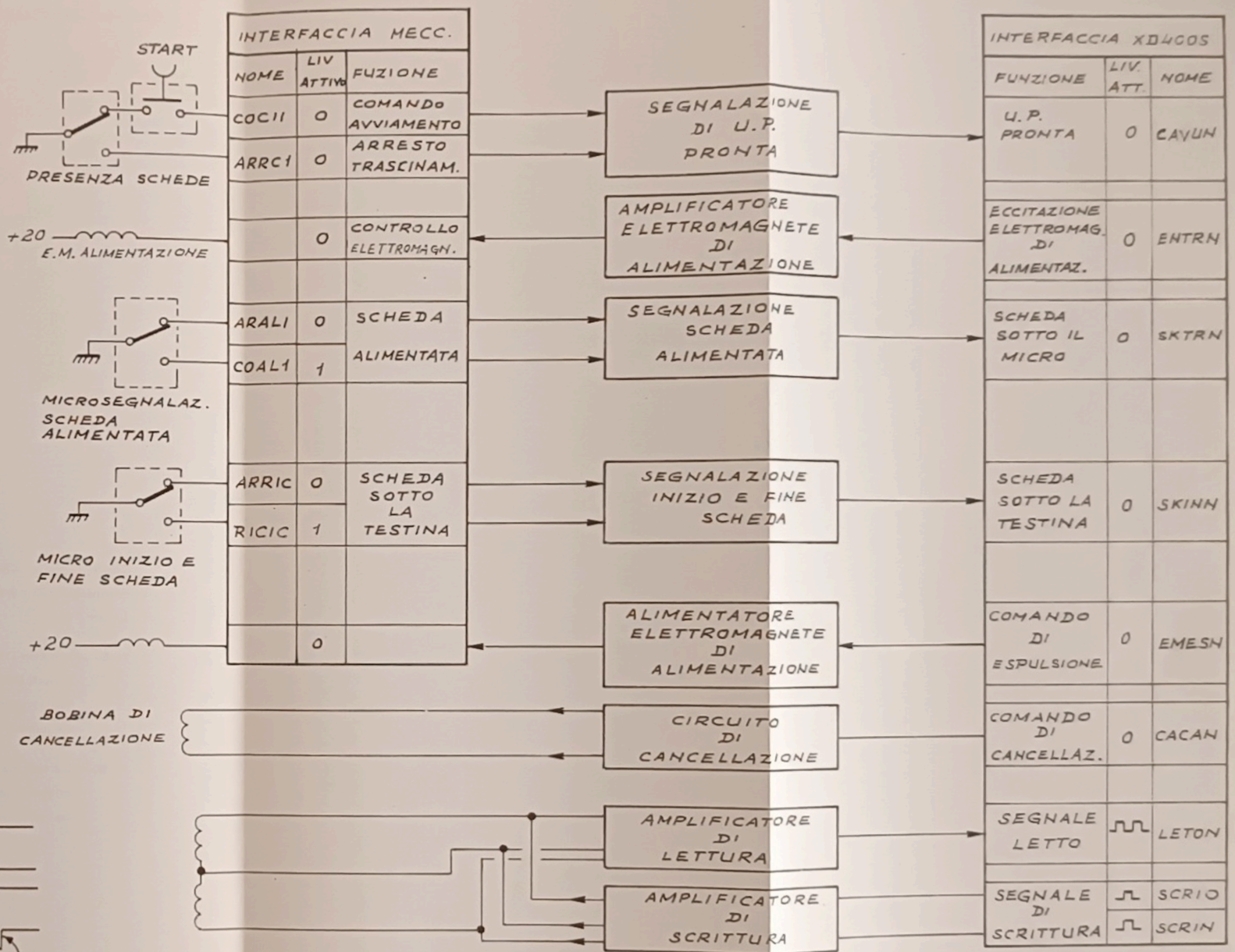



fig. 3.1

- Circuito di cancellazione

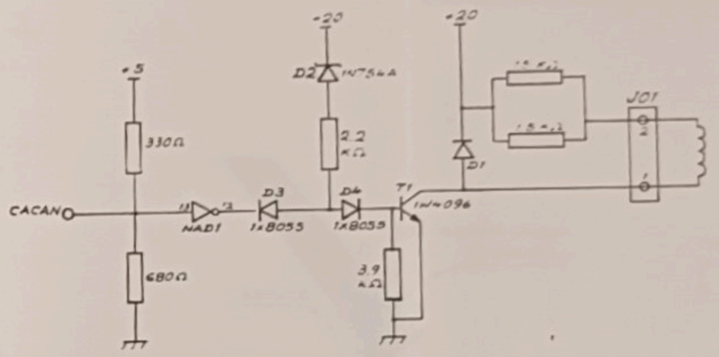



fig. 3.2

Con il segnale CACAN che va a zero si porta in conduzione il transistor T1, per cui la corrente proveniente dal +20 circola attraverso la testina di cancellazione e si chiude a massa attraverso lo stesso transistor T1.

N.B. - Il diodo D1 ha lo scopo di evitare sovratensioni all'atto dell'interdizione del transistore T1.
I diodi D2-D3-D4 costituiscono il sistema di protezione della cancellazione. Il loro scopo è quello di inibire la cancellazione quando vengono a mancare le tensioni di alimentazione, ciò si realizza quando la tensione scende al disotto dei valori di polarizzazione diodo ZENER D2 di 6,8 volt.

N.B. - La testina di cancellazione è necessaria in quanto, per problemi di SKEW di cartolina, esiste la possibilità di non cancellare tutto con la normale testina di Lettura/Reg. per cui è necessaria una testina più larga per cancellare tutto quello registrato in precedenza.

- Circuito di registrazione

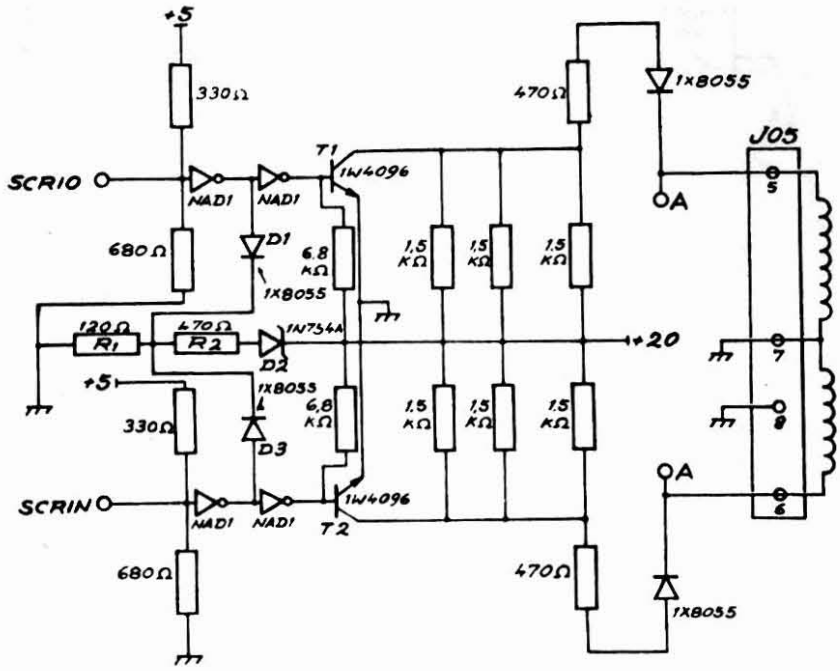



fig. 3.3.

Se entrambi gli ingressi SCRIO e SCRIN sono alti i transistor T1 e T2 sono in conduzione per cui la corrente proveniente dal +20 circola in essi e non interessa la testina. In questa condizione la Registrazione è inibita e la testina è disponibile per leggere.

Se un ingresso, ad esempio SCRIO va basso, il transistor T1 si interdice, per cui la corrente proveniente dal +20 circola nella testina.

Viceversa se è basso l'ingresso SCRIN, la corrente circola attraverso l'altro avvolgimento della testina.

N.B. - I componenti D1-D2-D3-R1-R2 costituiscono il sistema di protezione per la Registrazione.

Il loro scopo è quello di inibire la Registrazione quando per una qualunque causa vengono a mancare le tensioni di alimentazione.

Ciò si realizza quando la tensione +20 scende al di sotto del valore da polarizzazione del diodo Zener D2 6,8V.

- Amplificatore lettura cartolina magnetica

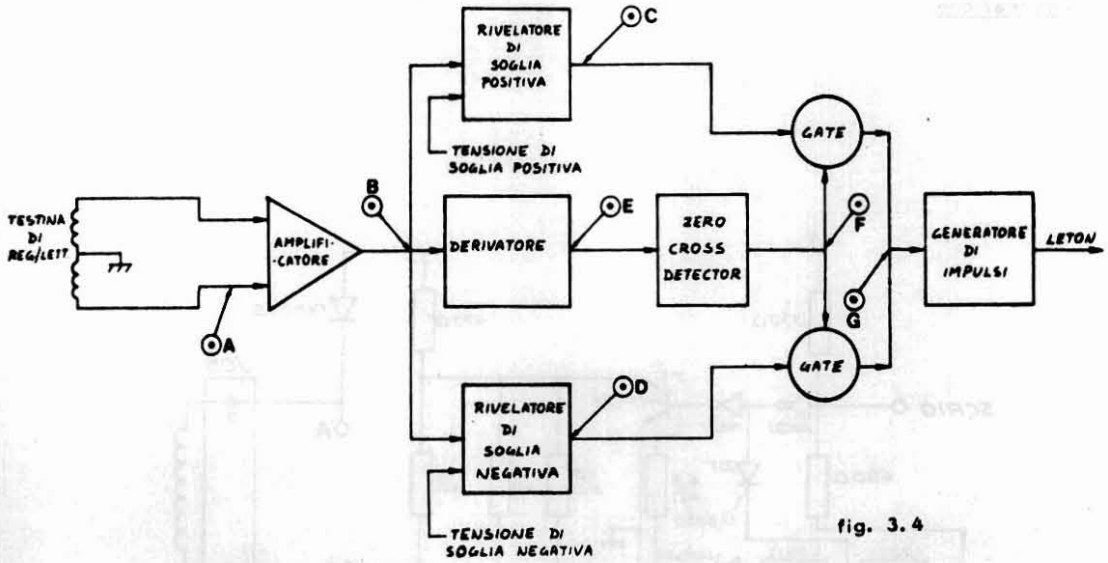



fig. 3.4

Riportiamo lo schema a blocchi del circuito (3. 4) e le forme d'onda teoriche (3. 5) mentre in figura 3. 6 sono riportati lo schema elettrico e le forme d'onda reali.

Il segnale proveniente dalla testina giunge ad un amplificatore che ne porta l'ampiezza da alcuni mV. ad alcuni Volt.

Il segnale amplificato viene contemporaneamente inviato ai rivelatori di soglia positiva e negativa e al derivatore.

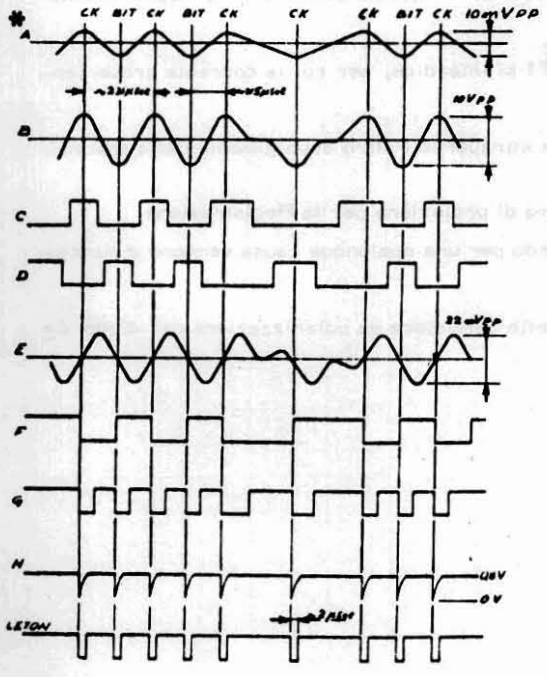
Il rivelatore di soglia positiva dà segnale in uscita ogni volta che il segnale in ingresso supera la tensione di soglia, lo stesso per il rilevatore di soglia negativa.

Il derivatore dà in uscita la derivata del segnale in ingresso.

L'uscita del derivatore viene inviata nel rivelatore di zero, il quale commuta ogni volta che il segnale in ingresso passa attraverso lo zero.

Con questo sistema all'ingresso del generatore di impulsi arrivano attraverso dei Gate soltanto i picchi del segnale di lettura che abbia superato le soglie eliminando il rumore di fondo.

In corrispondenza di ogni picco viene generato l'impulso inviato al governo (LETON).




* Rilevata con cavetto di massa sul probe e collegato alla schermatura del cavo testina

fig. 3.5

## PIASTRA AMPLIFICATORE CARTOLINA

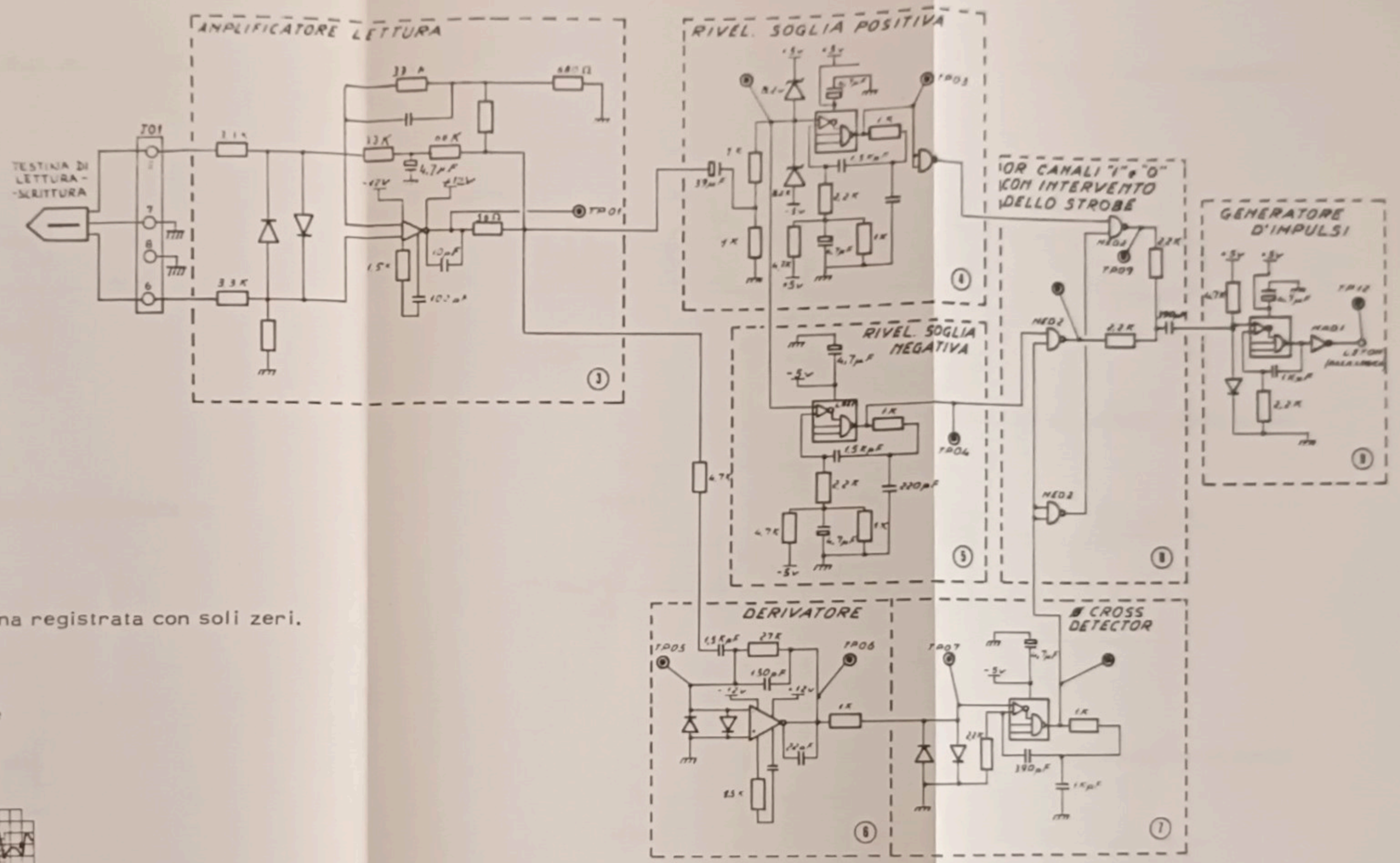
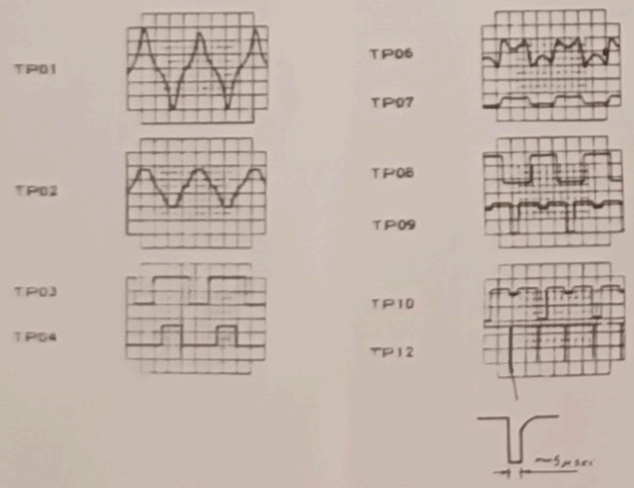



fig. 3.6

Le forme d'onda sono rilevate leggendo una cartolina registrata con soli zeri.

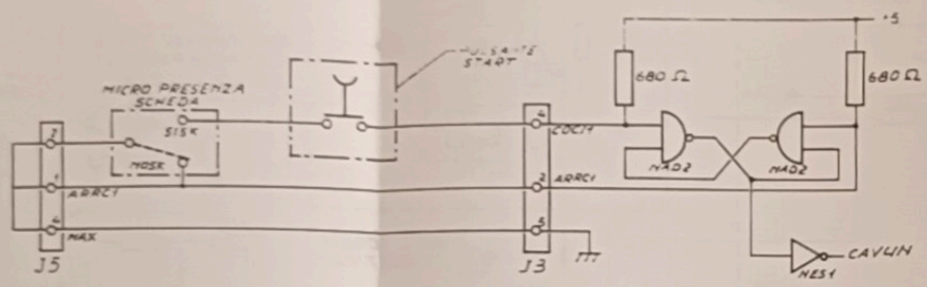
TRIGGER : comune a tutte le forme d'onda TP01

V/□ = 2V , comune T/□ = 200 μsec. comune

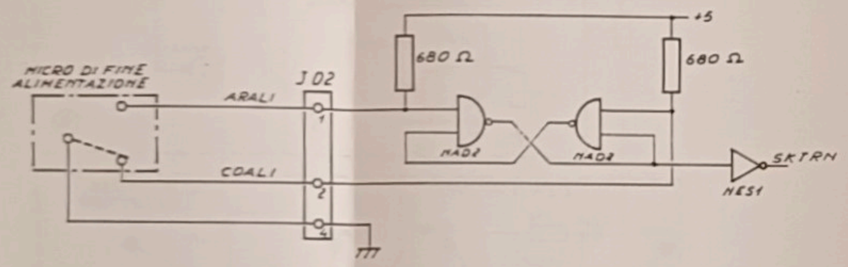


# GRUPPO CARTOLINA (PIASTRA ATTUAZIONI) CIRCUITI USATI NEL SUCE 2 (fig. 3.7)

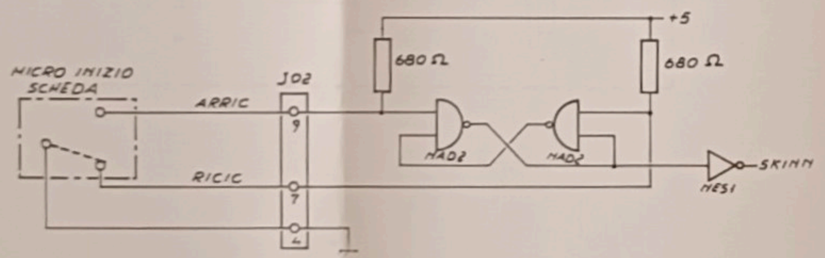
## SEGNALAZIONE DI U.C. PRONTA



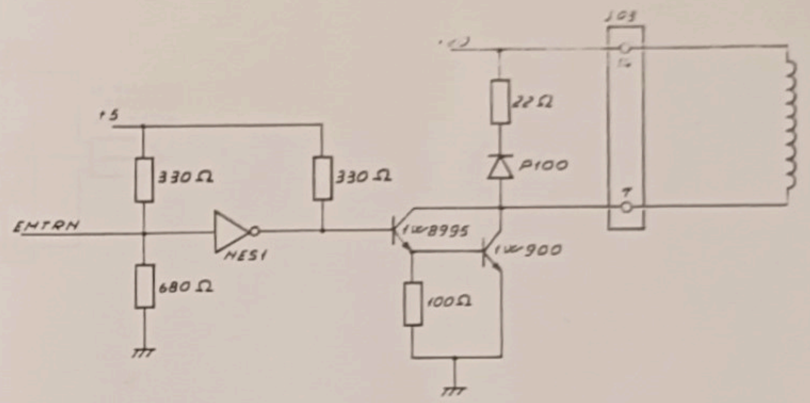

## SEGNALAZIONE SCHEDA ALIMENTATA



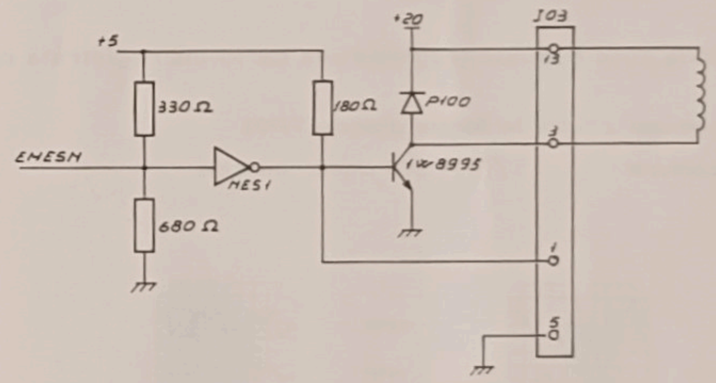

## SEGNALAZIONE INIZIO SCHEDA




## PILOTAGGIO E.M. DI ALIMENTAZIONE




## PILOTAGGIO E.M. DI ESPULSIONE



Le uscite da BIQUO a BDODO contano i byte: essendo 9 i F.F. che contano i byte, possiamo dire che il contatore è in grado di contare $2^9$ (512) byte.

Il segnale DE23 (DISL 09-R7) viene generato in corrispondenza del 23° byte e dei suoi multipli mentre il segnale D2562 (DISL 09-R9) nasce dopo 256 byte dal primo DE232.

Abilitazione alla registrazione

Il circuito di scrittura è controllato dai fili SCRIN e SCR10 (DISL 10-M4 e N4) che normalmente con WRITN ad 1 e ABTEO a zero sono forzati ad 1

Dal momento in cui WRITO va ad 1, al momento in cui si setta ABTEO, circola una corrente continua nella testina magnetica che magnetizza in modo continuo l'eventuale cartolina che passi sulla testina stessa.

ABTEO (DISL 10-E4) si setta alla fine del 24° byte dall'inizio di SKINO col segnale MANIA ed abilita il F.F. NOLEO (DISL 10-G4) a commutare ogni COLL2 e quindi a registrare la cartolina magnetica.

ABTEO viene resettato per bloccare la registrazione con REREA quando il F.F. FIDUO (DISL 10-P4) va ad 1.

Il set di FIDUO è dato in due modi diversi:

- all'inizio del 256° byte dopo ABTEO col gate SFARA (DISL 10-Q2)
- dopo aver registrato il byte che si trovava alla posizione di memoria su cui è stato prenotato l'alt indirizzato. In questo caso FIANO (alt indirizzato raggiunto) setta il F.F. RFAIO (DISL 10-M3) e quindi all'inizio del byte successivo SFARA (DISL 10-P2) setta FIDUO.

Controllo del mastro di registrazione

Il F.F. NOLEO ad ogni commutazione provoca la registrazione di un clock o di un bit.

NOLEO commuta col mastro COCL2 (DISL 10-G3) che è l'OR dei clock (registrati ad ogni impulso CONTA)e dell'impulso SHIFA.

SHIFA porta i bit d'informazione, esso ha come strobe COMB2 e quindi i bit risultano essere centrati rispetto ai clock.

Le informazioni da registrare sono prelevate dalla memoria del sistema in prova un byte alla volta e vengono poi registrate serialmente.

Per estrarre i byte dalla memoria, vengono eseguiti tanti microcomandi MAIP che portano i byte letti sul nodo NA00÷07.

Il primo microcomando MAIP è avviato con la barra ENTRY che deve essere comandata prima dello START.

Le MAIP successive sono avviate dal F.F. RIVIO (DISL 10-A4) che genera il segnale VIMIA (DISL 01-D2) come una qualsiasi barra ENTRY.

RIVIO viene settato ad ogni DEC12 e resettato ad ogni DEC22. Ad ogni RIVIO viene eseguita una micro istruzione MAIP e il byte letto viene staticizzato sui nodi, dopo di che durante il DEC72 è caricato in parallelo sugli "shift register" riportati sul DISL 10 in E1 e G1.

Gli shift register avanzano ad ogni clock registrato e l'uscita seriale MC001 controlla la registrazione dei bit sulla porta COLL2.

Per quanto riguarda la registrazione della cartolina, occorre dire che i byte letti in memoria con la MAIP vengono caricati in parallelo sullo shift register e continuamente scaricati in modo seriale.

La fine della registrazione avviene dopo che sulla cartolina e' stato registrato il 255° byte quando FIDUO va in set (vedi fig. 3.11).

Si noti però che alla fine di ogni cartolina,ad ogni DEC72 il contenuto del nodo NA000+07 e' ricaricato sullo shift register e fin tanto che non viene eseguita una nuova microistruzione il contenuto del nodo NA000+07 non viene alterato.

In particolare nel caso di cartoline successive alla prima, col DEC72 che precede ABTEO viene caricato sullo shift register l'utlimo byte letto dalla memoria durante la registrazione della cartolina precedente.
Lo stesso byte viene registrato all'inizio della cartolina.

Temporizzazione dell'inizio della registrazione cartolina

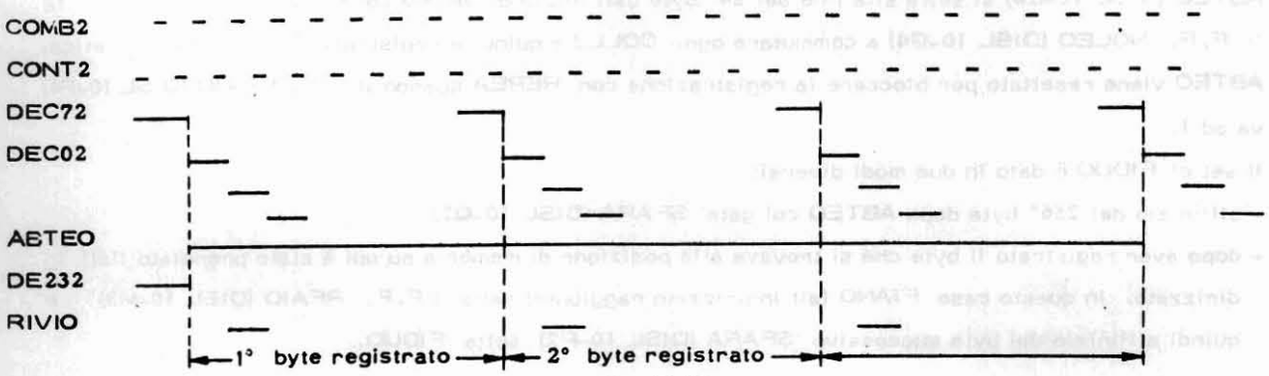



fig. 3.11

Temporizzazione della fine registrazione

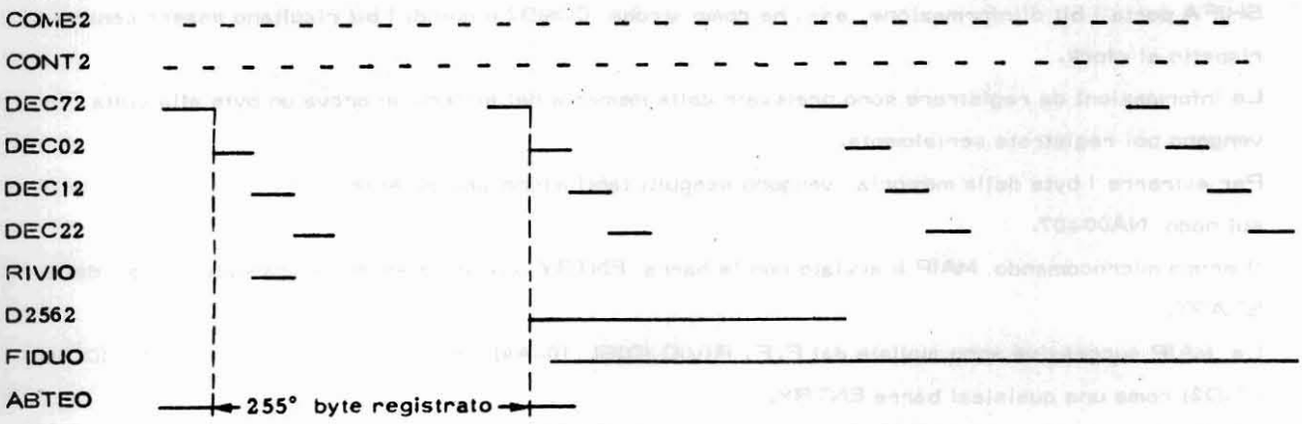



fig. 3.12

- Logica della lettura

La lettura ha inizio quando la scheda è sopra la testina e nasce il segnale LEG12 (DISL 09-D8) che abilita il segnale UNIV2 che arresta la temporizzazione bloccando il contatore OS320 (DISL 09-E6) nella configurazione iniziale riportata in fig. 3.14.

Discriminazione dei clock dai bit e ricostruzione dei byte (fig. 3.13)

Il segnale dell'amplificatore di lettura LETON viene rigenerato su XD4000 S col nome TEST1 (DISL 10-A6) e ripete tutti i clock ed i bit d'informazione.
Il primo impulso TEST1 porta in set il F.F. ABILO (DISL 10-A7) e fa partire l'univibratore risincronizzabile GAPIO che avendo un periodo di vibrazione di circa 500 µsec. starà ad 1 fino dopo l'ultimo bit di ogni cartolina.

Il primo bit letto su TEST1 trovando UNIV2 ad 1 setta il F.F. RECOO che abilitando REOSA azzera il contatore OS320 (DISL 009-E6) e abilita un nuovo ciclo della temporizzazione fino alla nascita di UNIV2 che lo blocca di nuovo.

Come si può vedere dalla figura un eventuale bit 1 esce con UNIV2 a zero, mentre tutti i clock incontrano UNIV2 e sganciano un ciclo di temporizzazione.

I bit 1 settano quindi il F.F. CABIO (DISL 010-A8) che viene resettato clo clock successivo.

Il fronte di salita di UNIV2 carica gli eventuali bit 1 sul buffer BIC7-BIC0 (DISL 10-A9 e C9) che memorizzano un byte.

Temporizzazione della lettura cartolina

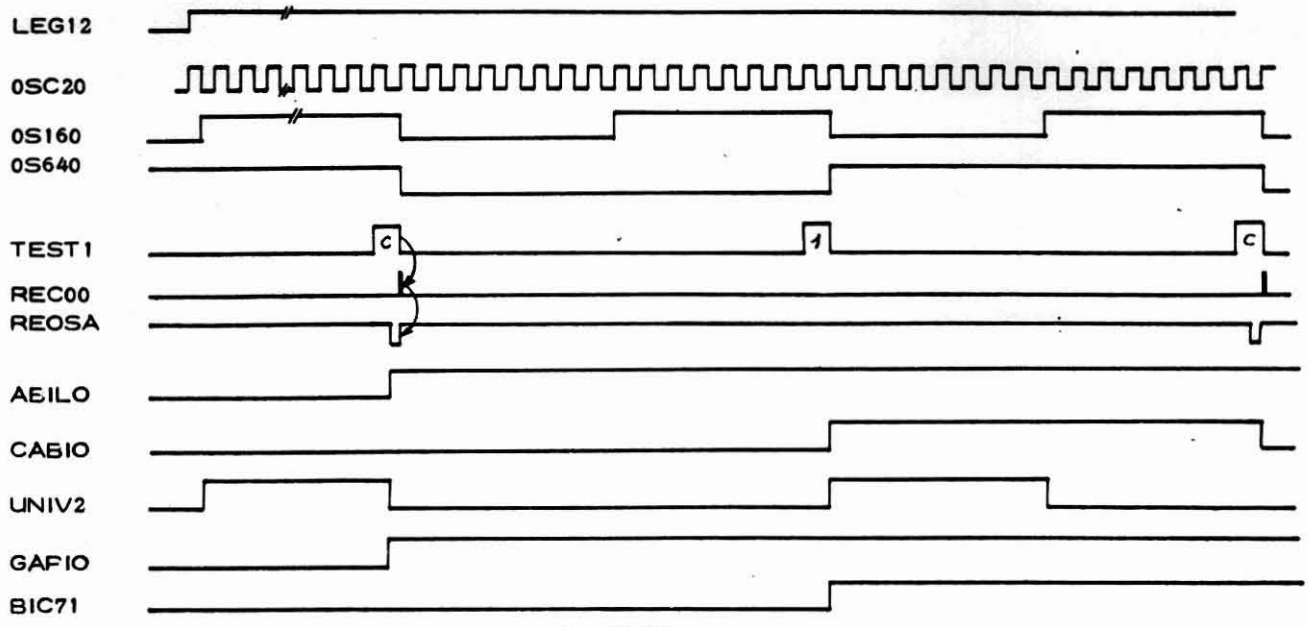



fig. 3.13

. Temporizzazione a livello byte e avvio della AMIP

Il segnale LEGIA a 1 genera GIR11 (DISL 010-P1) e blocca il contatore che genera BIUNO, BIDUO, BITRO (DISL 09-M2) e lo lascia libero quando passa la cartolina e lo lascia avanzare ad ogni UNIV2 che genera il clock CLOCA.

Ogni 8 clock nasce il decodificato DEC72 (DISL 09-U5) che genera a sua volta RILE (DISL 010).

RILEA, come si è già visto nella logica di avvio delle operazioni, genera VIMIA che avvia la microistruzione AMIP impostata sul SUCE 2.

Il segnale ABILO (DISL 10-A7) abilita sulla matrice di generazione della microistruzione il buffer BIC70-BIC0 anzichè il buffer di tastiera.

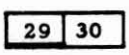
## PREMESSA

Prima di passare ad illustrare le regolazione meccaniche e le verifiche elettriche del lettore di schede, si ritiene opportuno dare qualche esempio sulla simbologia che verrà utilizzata nelle pagine che seguono, al fine di renderla comprensibile a coloro che di regolazioni meccaniche non hanno molta esperienza:

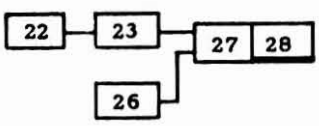
SIMBOLI :

★ : La stellina indica il punto dove bisogna agire per effettuare la regolazione in corso

● : Il pallino indica dove deve essere appoggiata una certa parte meccanica durante la regolazione in corso.




: Questa simbologia sta ad indicare che la regolazione in corso è la numero 29 ed anche che, in qualche modo, essa influenza la regolazione numero 30.

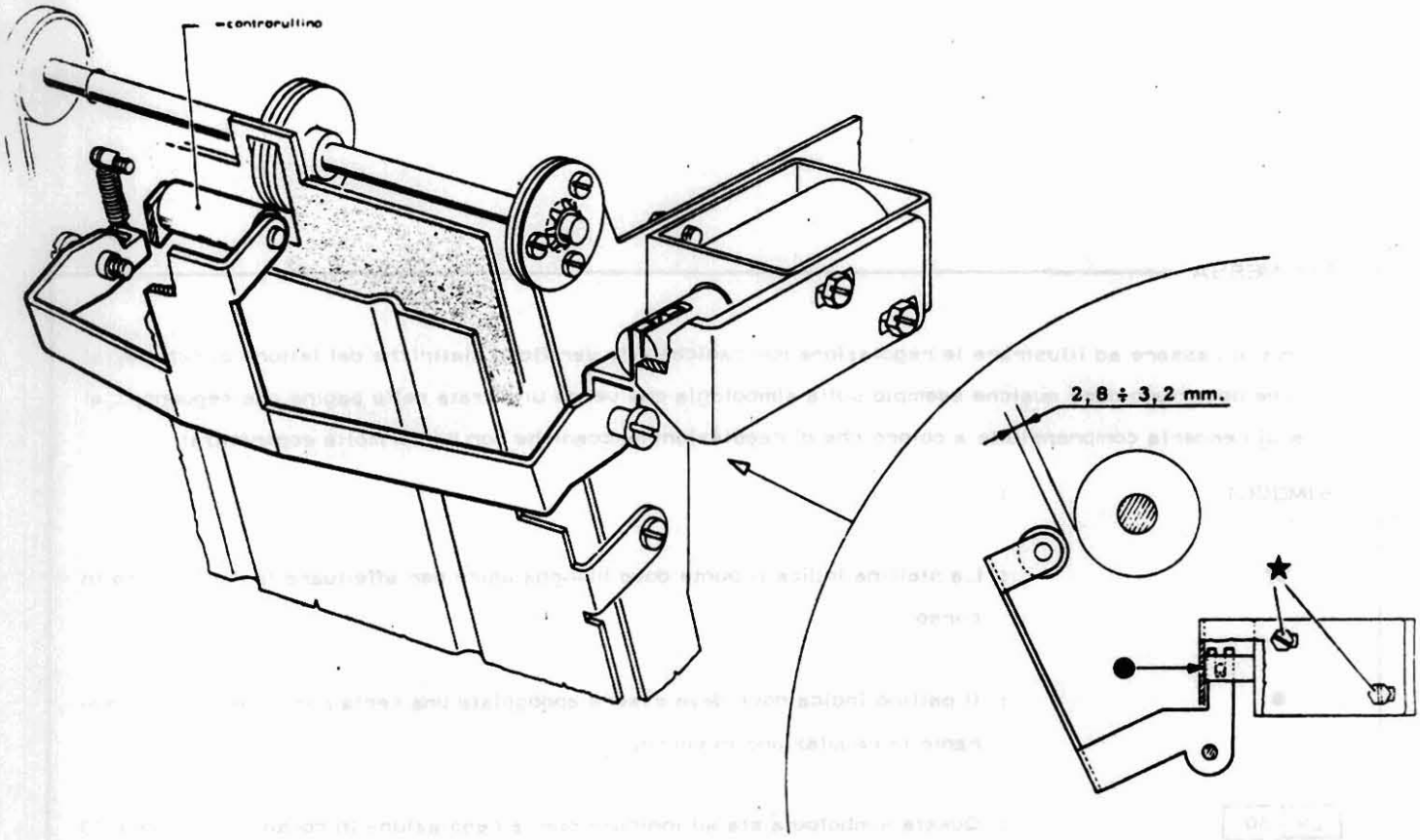



: In questo caso, la regolazione in corso è la numero 28, ma per eseguirla correttamente bisogna che essa sia stata preceduta dalle regolazioni 22, 23, 26, 27.

NOTA : Le cartoline magnetiche campione per l'esecuzione dei test di cui alle pagine 3.23; 3.24; 3.25 sono le stesse utilizzate per il lettore del sistema A7. Sono disponibili in confezione di 20 con il cod. 005013 presso U.G.S. - IVREA

**Esempio:**

29 30 **POSIZIONE DI RIPOSO DEL CONTRORULLINO PER ESPULSIONE SCHEDA**




a) La regolazione in corso è la numero 30 e per essere eseguita deve essere preceduta dalla regolazione numero 29

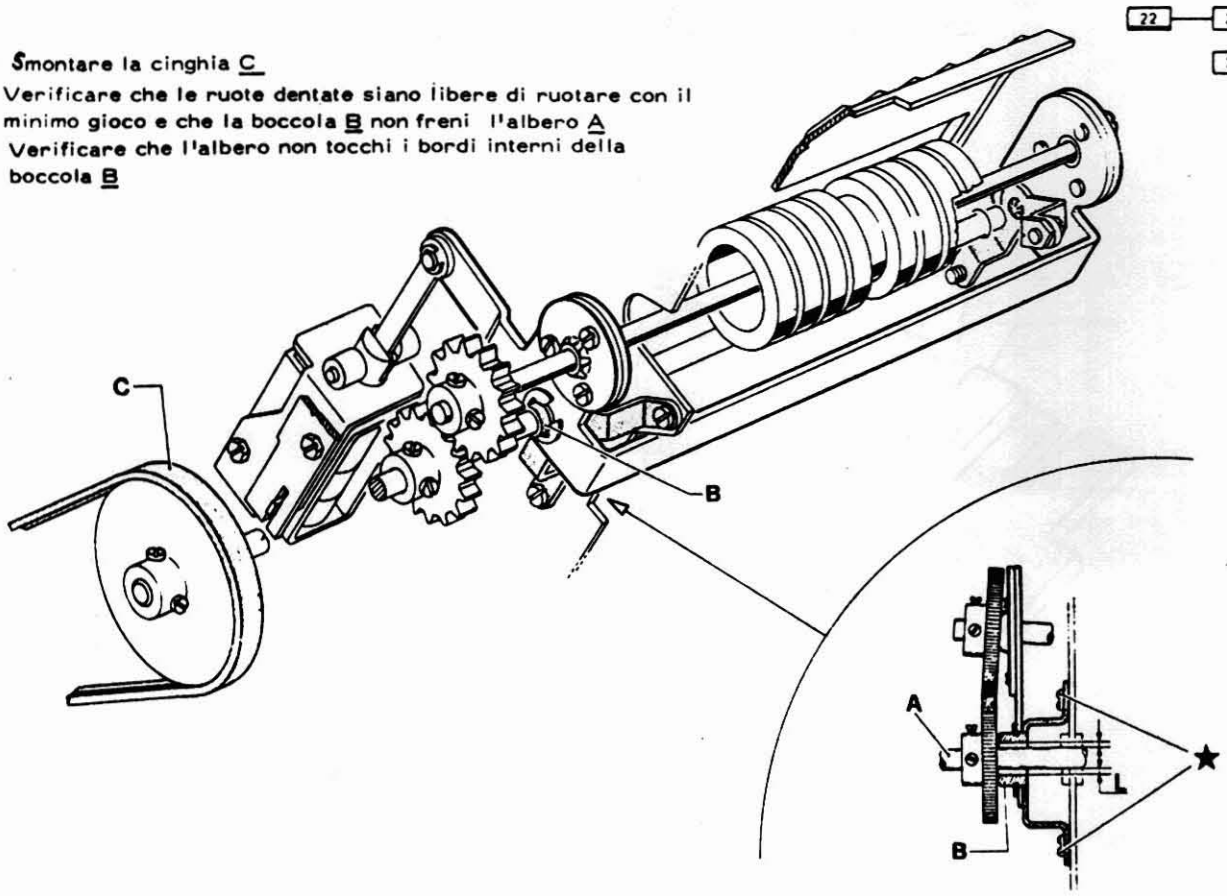
b) I punti su cui agire per effettuare la regolazione sono due viti indicate dalla stellina

c) La condizione da ottenere è che con il braccio del controrullino appoggiato al punto indicato dal pallino, la luce esistente tra rullino e controrullino sia di 2,8 ÷ 3,2 mm.

## ACCOPPIAMENTO DELLE RUOTE DENTATE DEL GRUPPO DI ALIMENTAZIONE SCHEDE

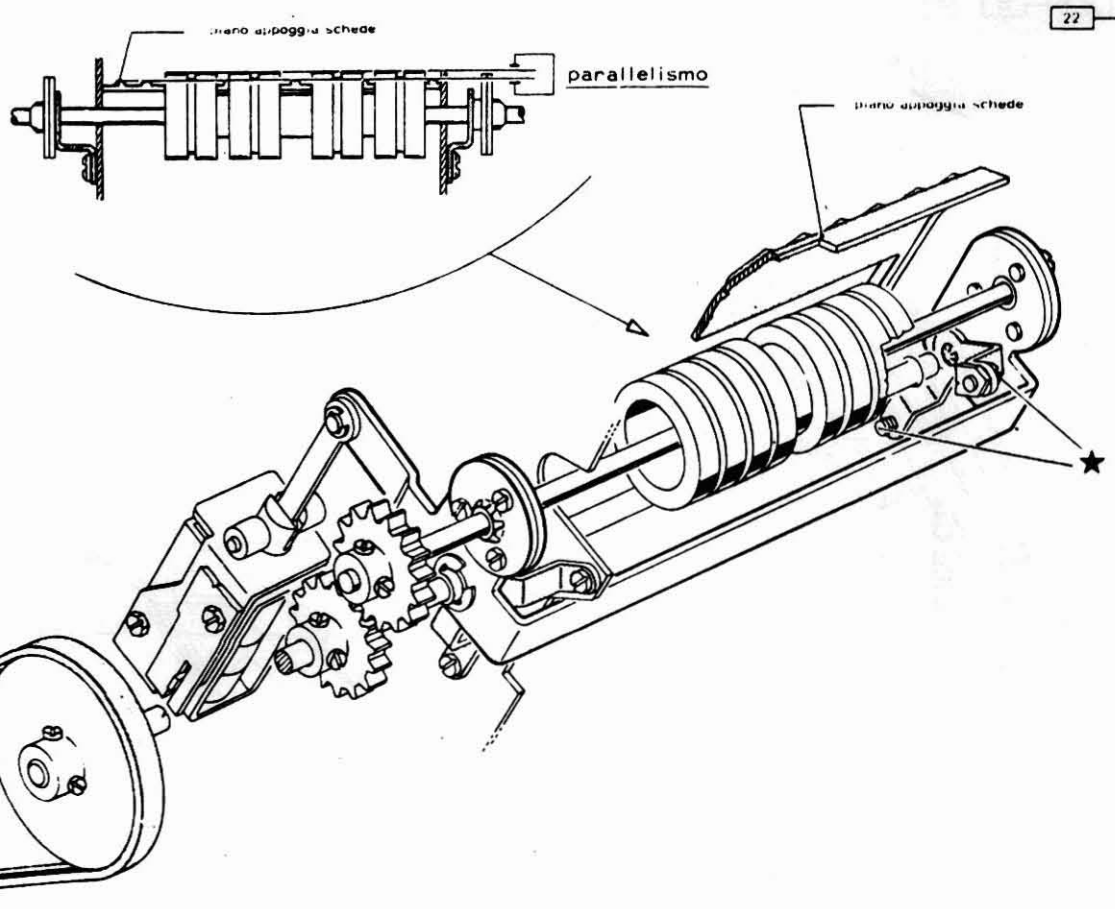
22 23 27 28 26

- Smontare la cinghia C
- Verificare che le ruote dentate siano libere di ruotare con il minimo gioco e che la boccola B non freni l'albero A
- Verificare che l'albero non tocchi i bordi interni della boccola B

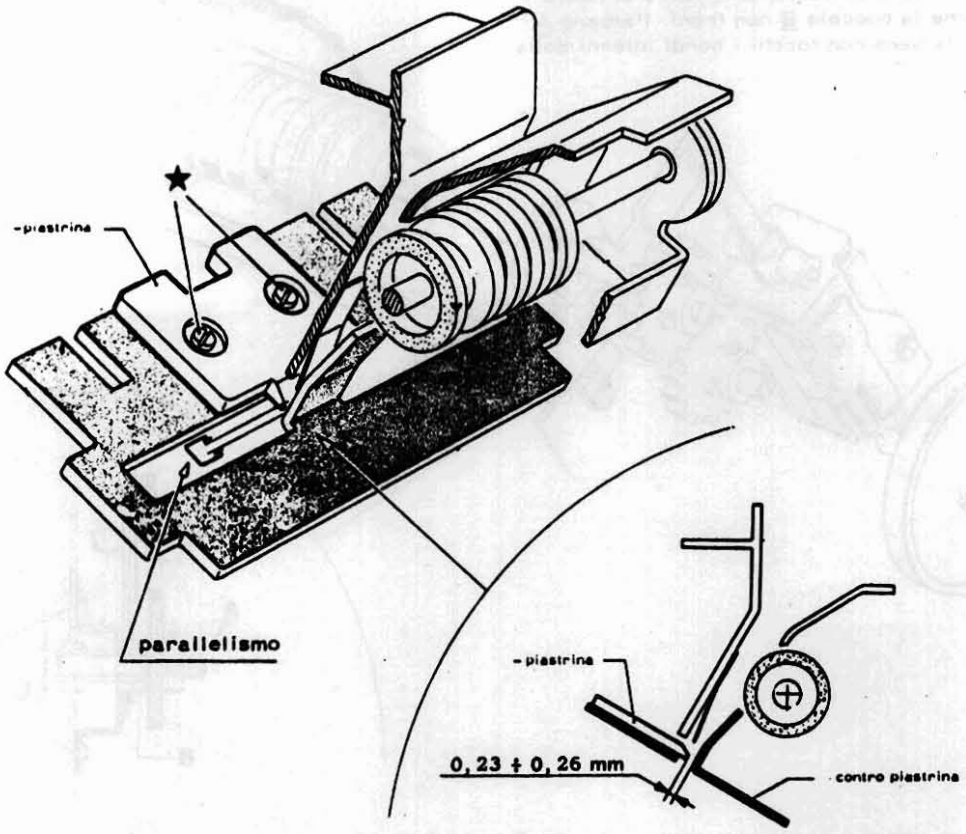



## PARALLELISMO DEI RULLINI RISPETTO AL PIANO APPOGGIA-SCHEDE

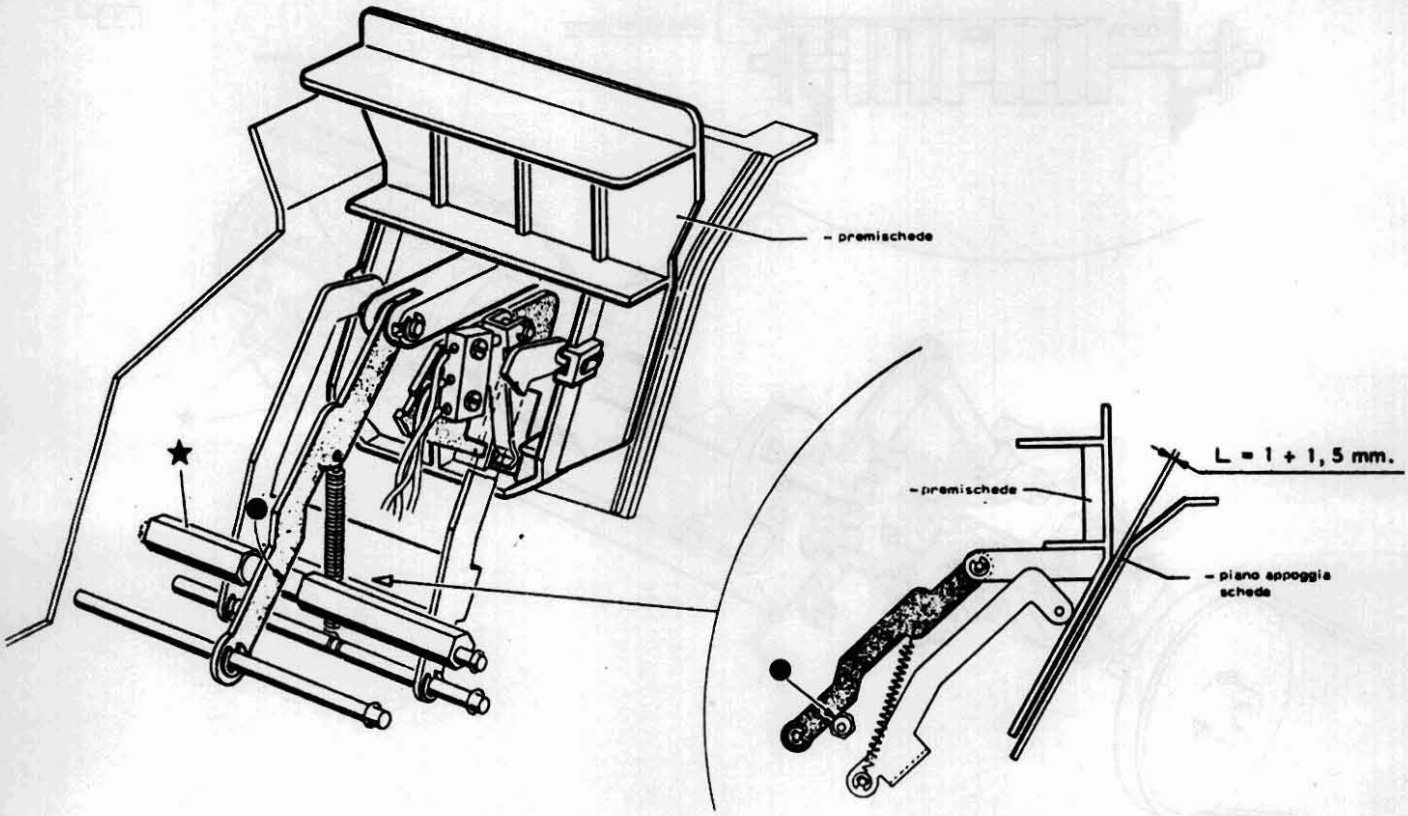
22 23 27 28 26



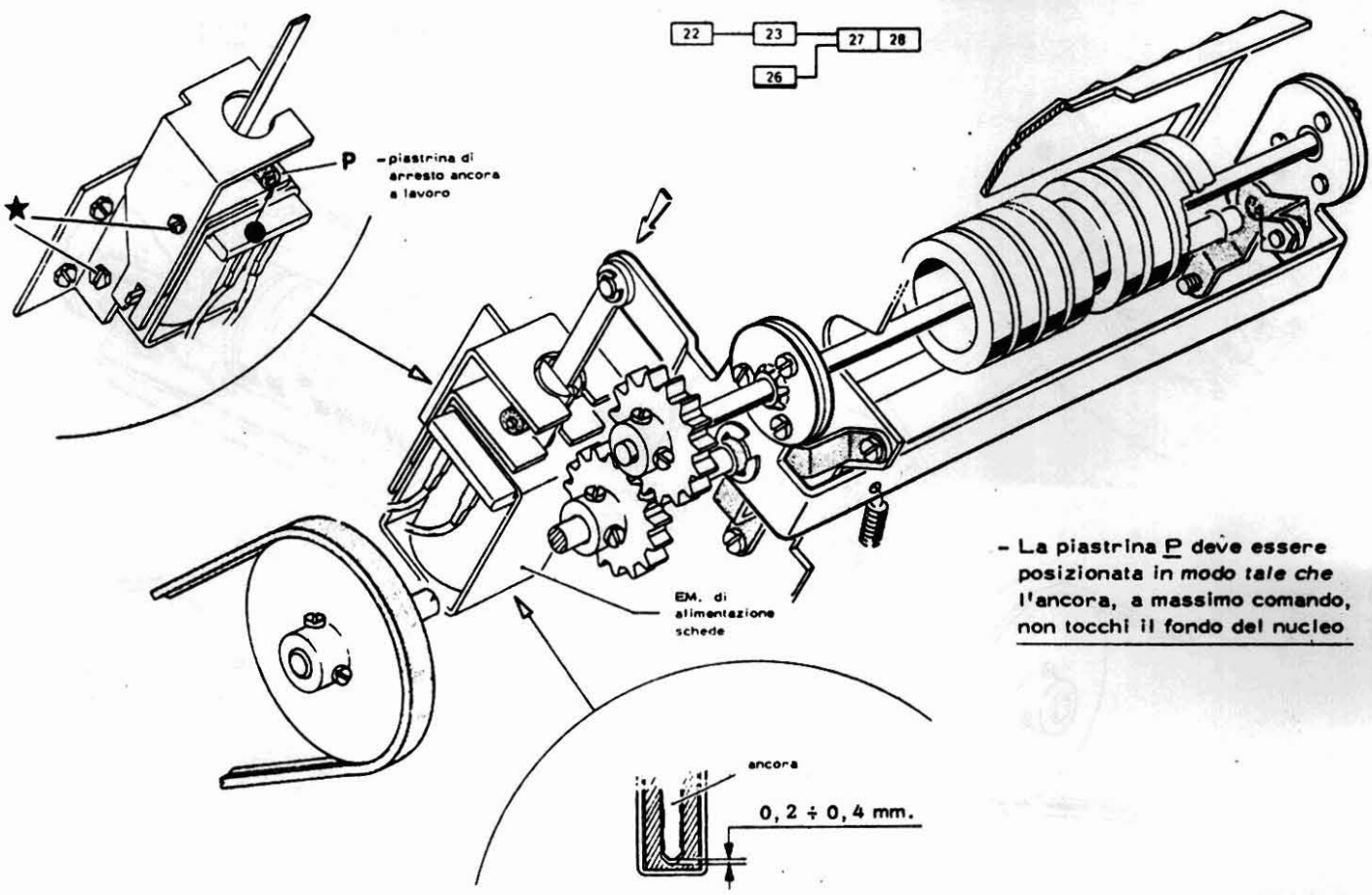
## 24 POSIZIONAMENTO DELLA PIASTRINA PER IL PASSAGGIO DI UNA SOLA SCHEDA PER VOLTA




## 25 — 32 POSIZIONE DI RIPOSO DEL PREMISCHEDE

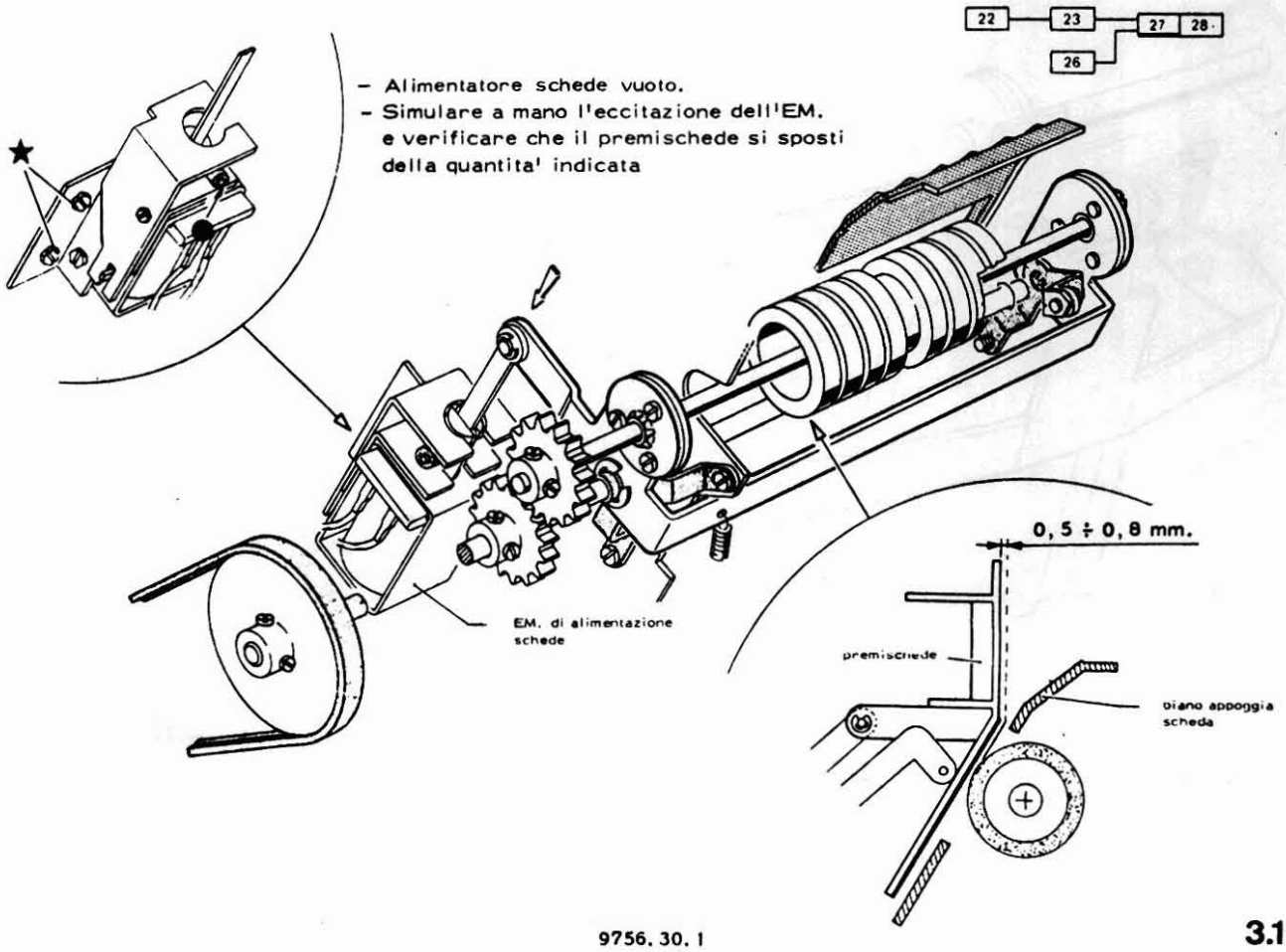


## POSIZIONE DI LAVORO DELL'ANCORA DELL'EM. DI ALIMENTAZIONE SCHEDE

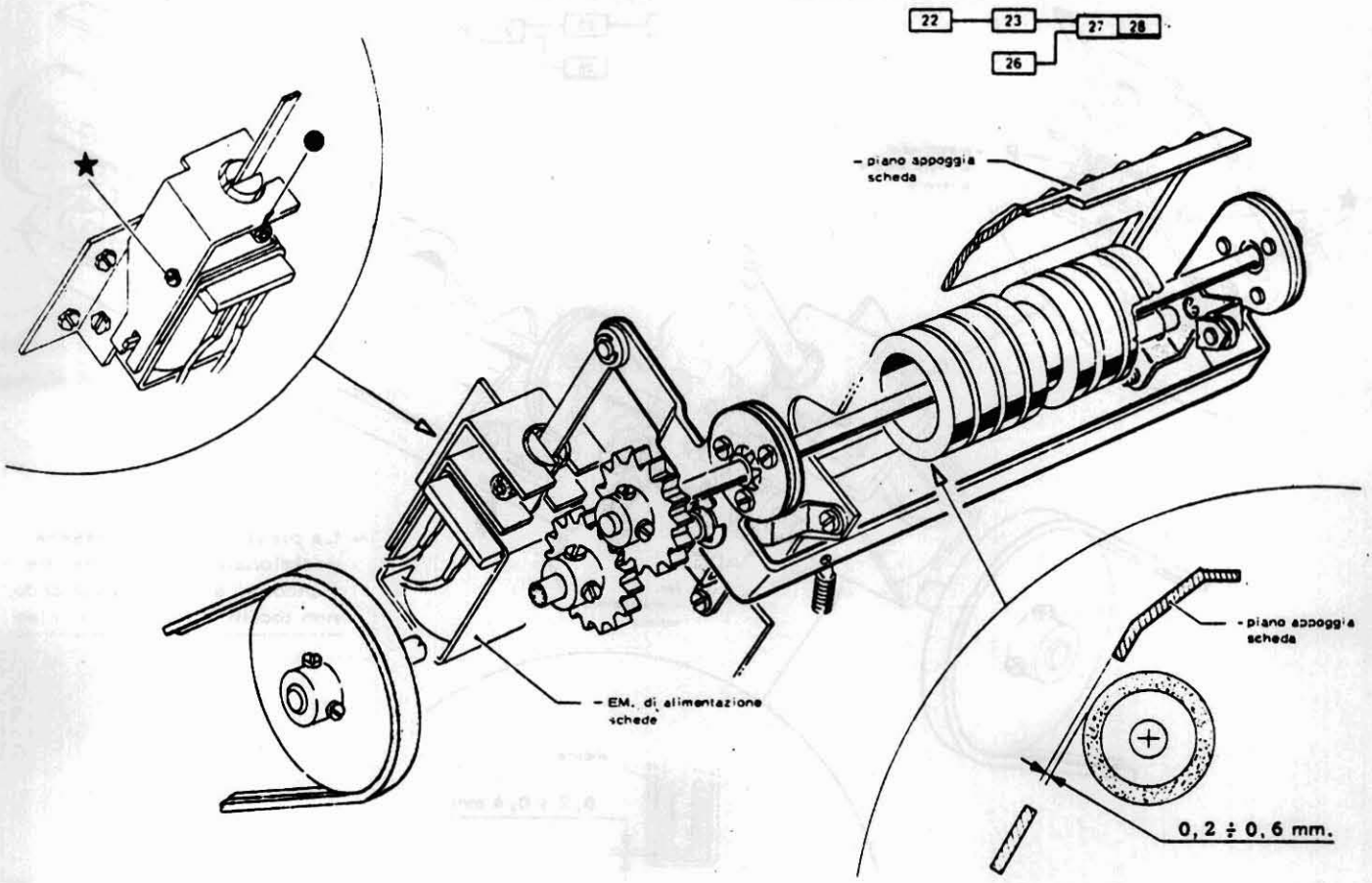



- La piastrina P deve essere posizionata in modo tale che l'ancora, a massimo comando, non tocchi il fondo del nucleo

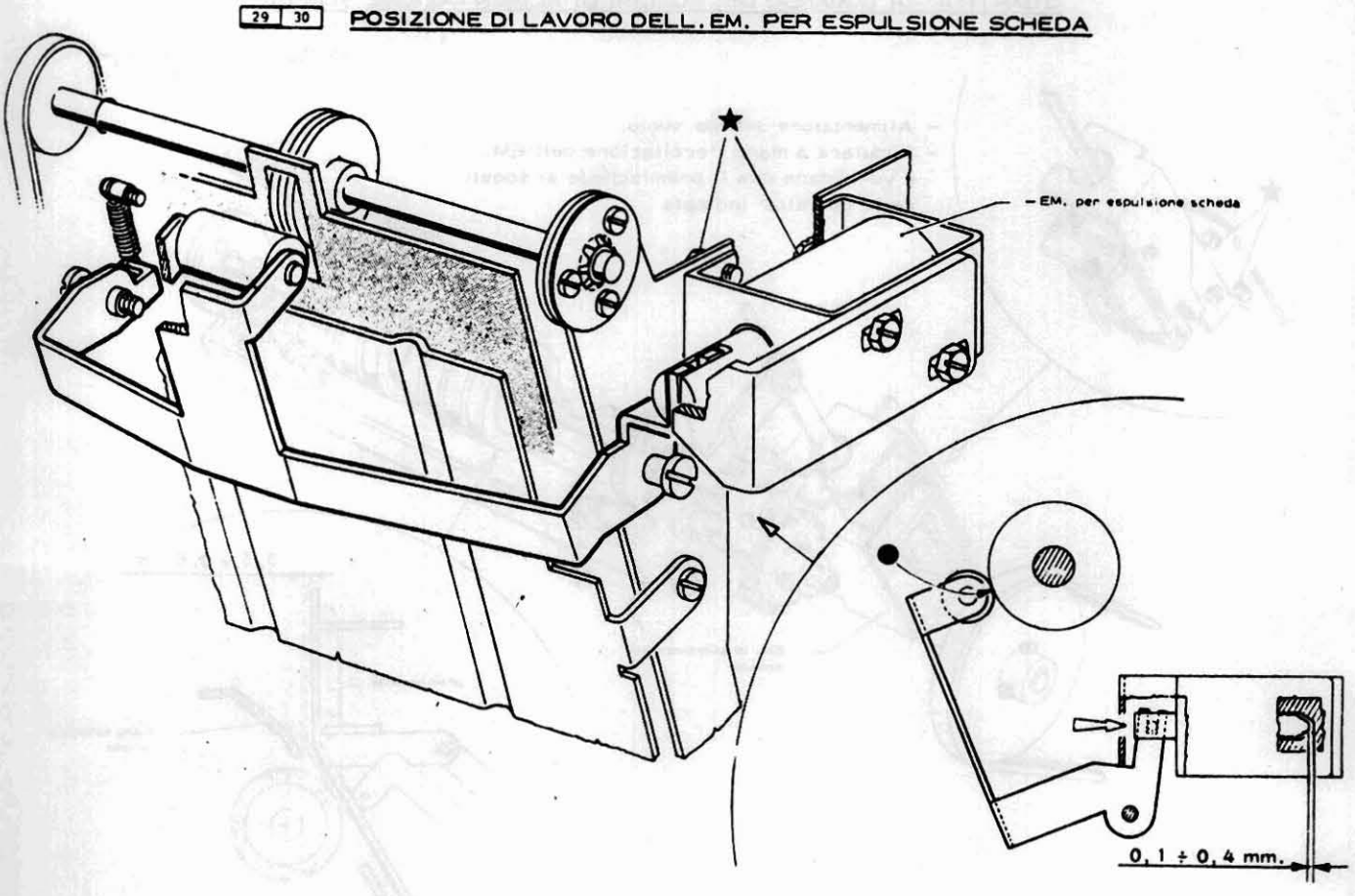
## QUANTITA' DI COMANDO DEI RULLINI DI ALIMENTAZIONE SCHEDE



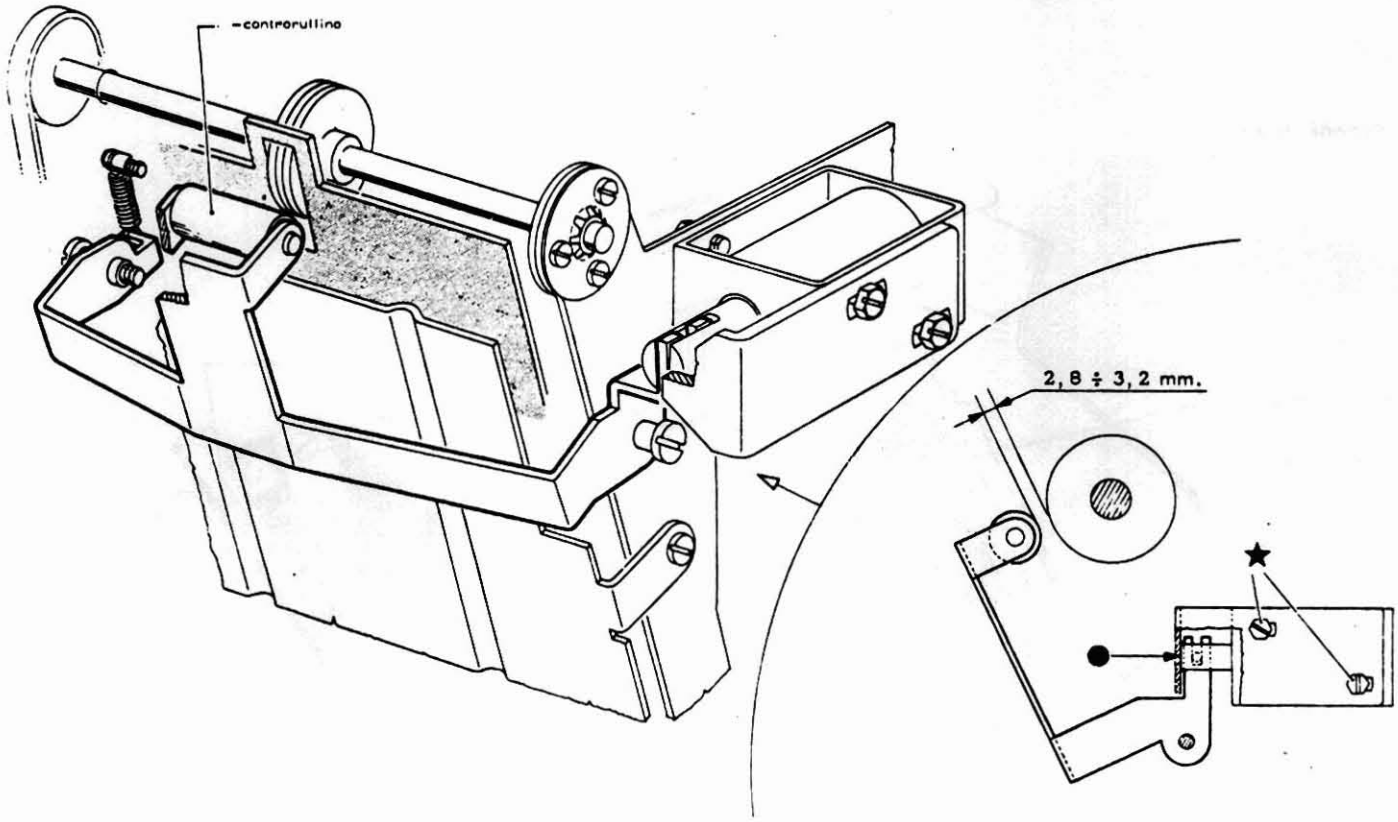
## POSIZIONE DI RIPOSO DEI RULLINI PER ALIMENTAZIONE SCHEDE



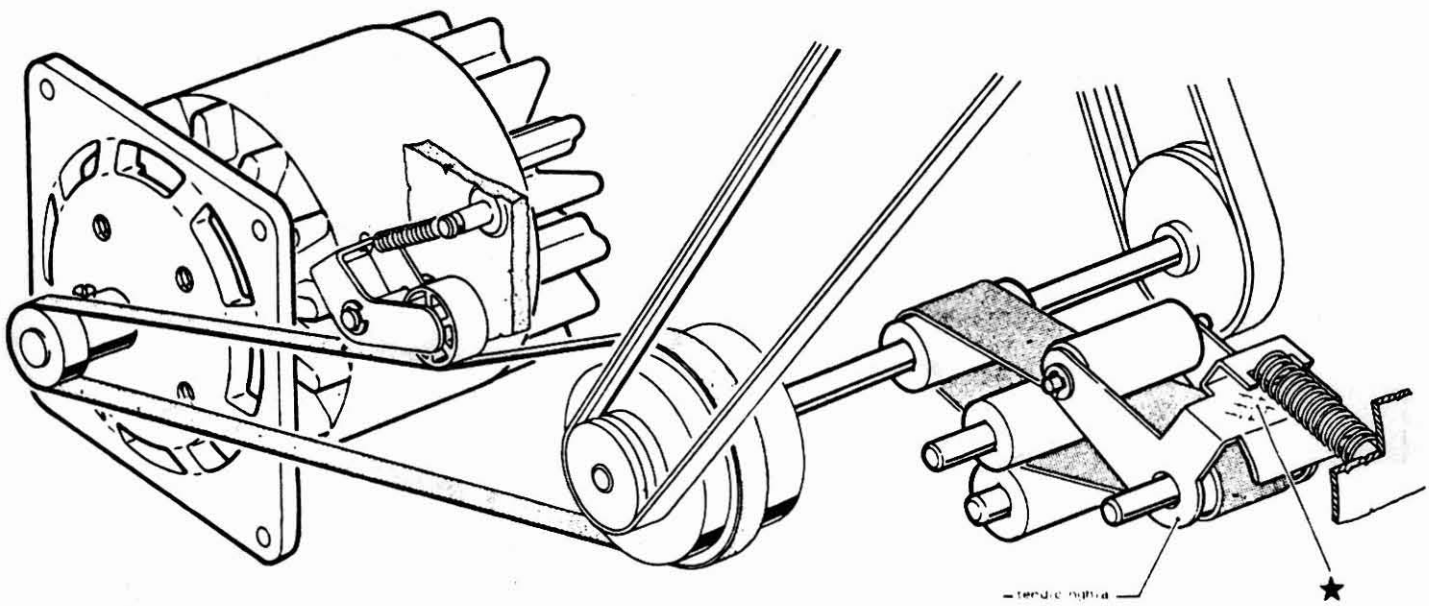

## 29 30 POSIZIONE DI LAVORO DELL. EM. PER ESPULSIONE SCHEDA



29 30 POSIZIONE DI RIPOSO DEL CONTRORULLINO PER ESPULSIONE SCHEDA

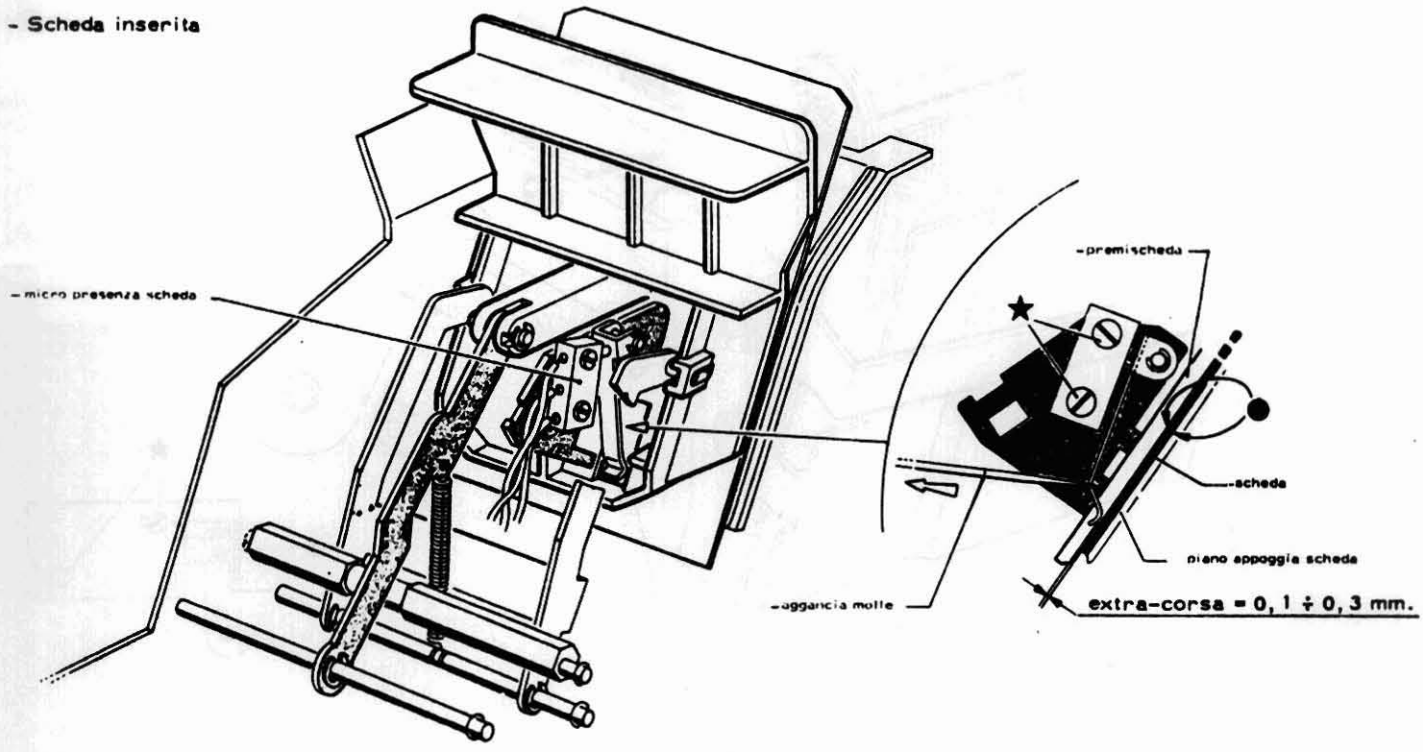



31 CENTRATURA DELLA CINGHIA DI TRASCINAMENTO RULLINI

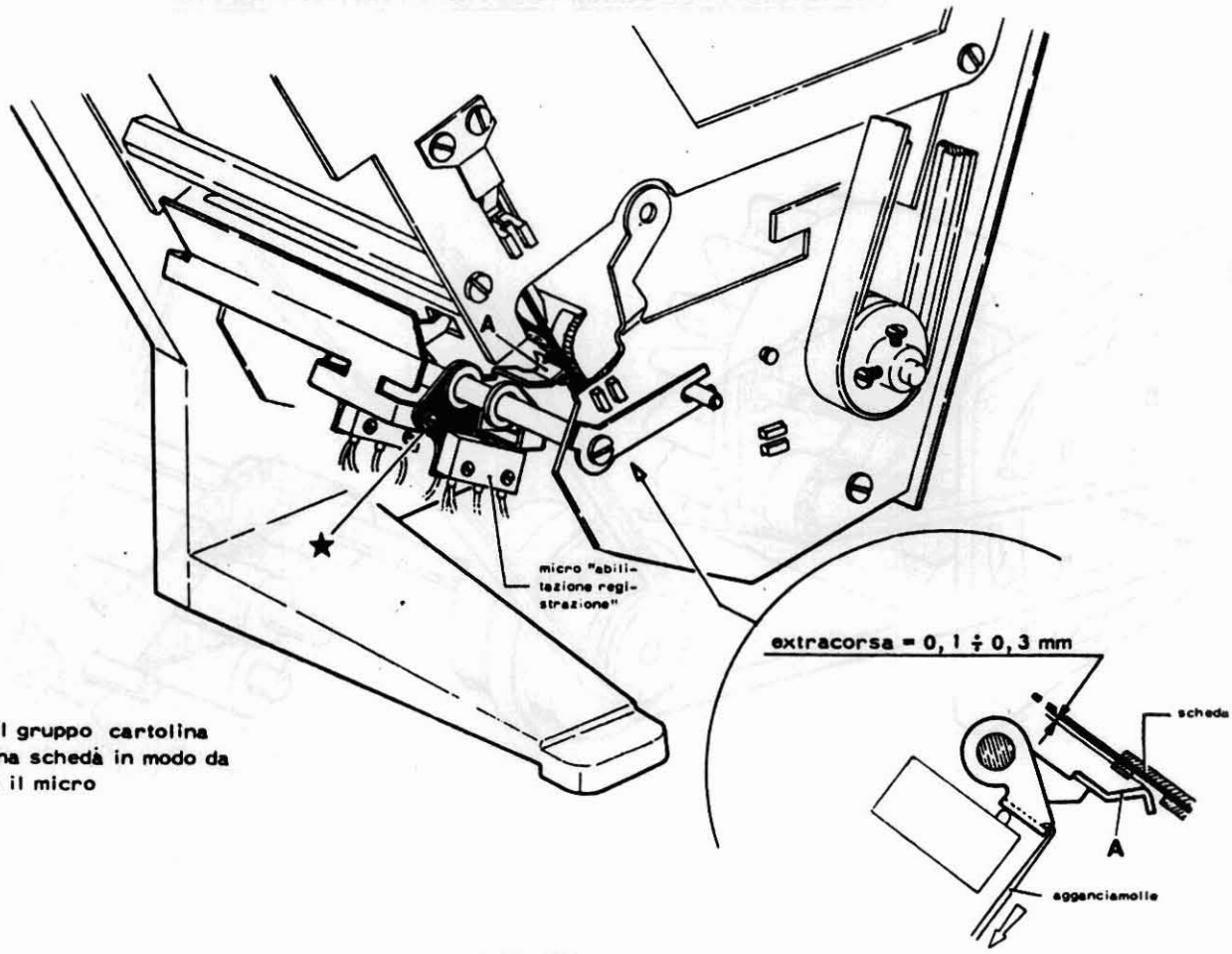


## 25 — 32 POSIZIONAMENTO DEL MICRO PRESENZA SCHEDA

- Scheda inserita

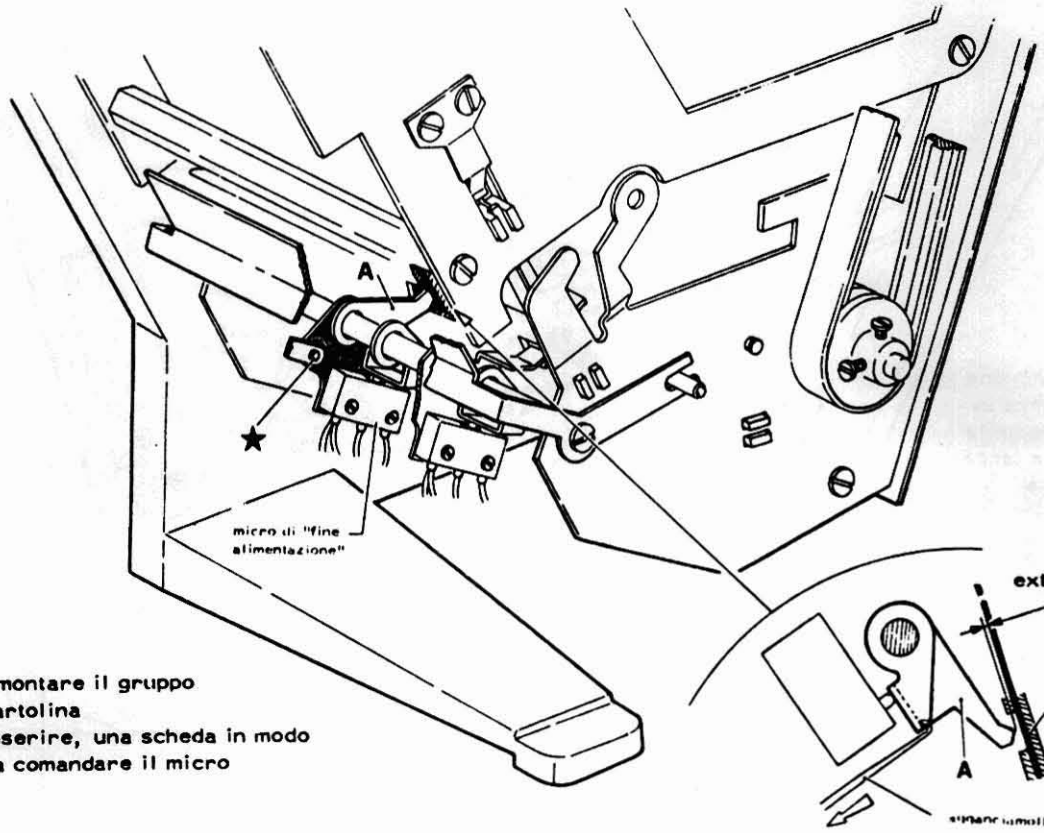



## 33 POSIZIONAMENTO DEL MICRO "ABILITAZIONE REGISTRAZIONE"



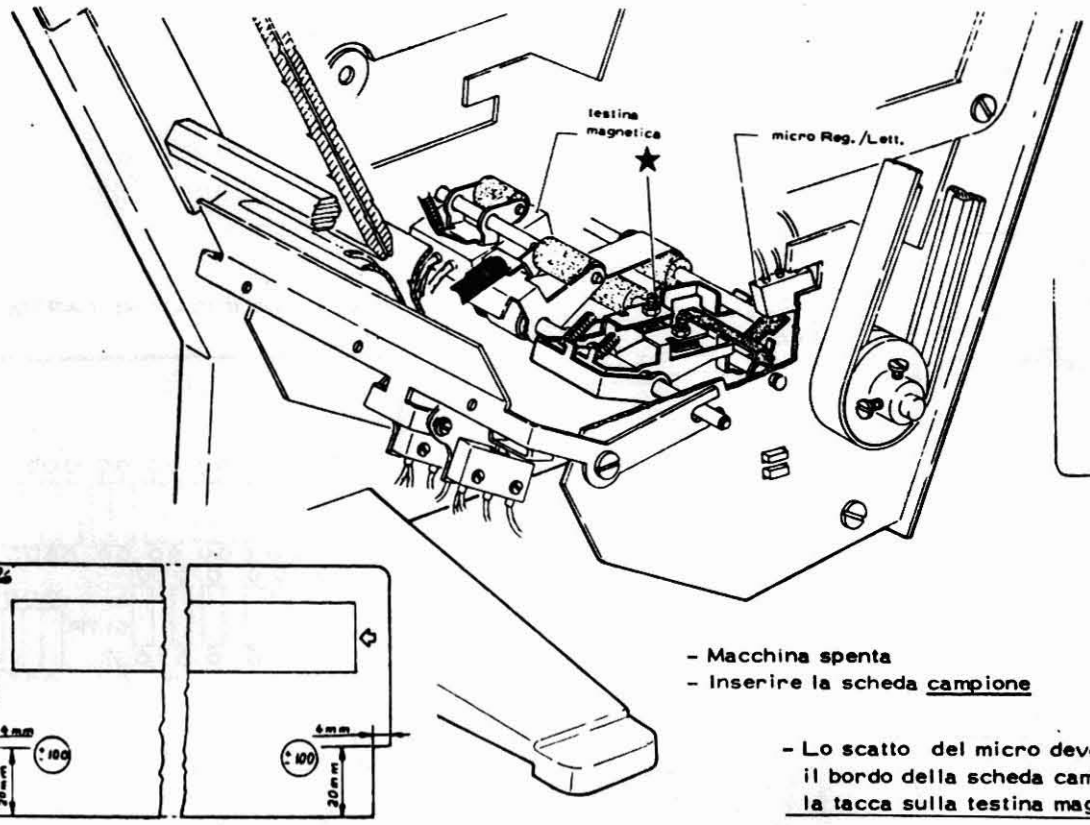

- smontare il gruppo cartolina
- inserire una scheda in modo da comandare il micro

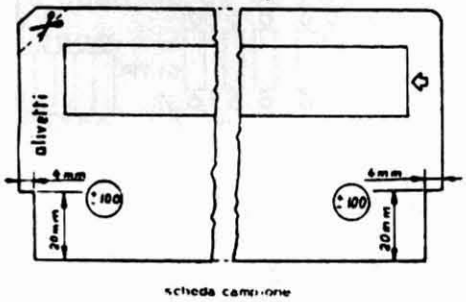
## 34 POSIZIONAMENTO DEL MICRO "FINE ALIMENTAZIONE"




- Smontare il gruppo cartolina
- Inserire, una scheda in modo da comandare il micro

## 35 36 SCATTO DEL MICRO "REGISTRAZIONE/LETTURA" A INIZIO SCHEDA



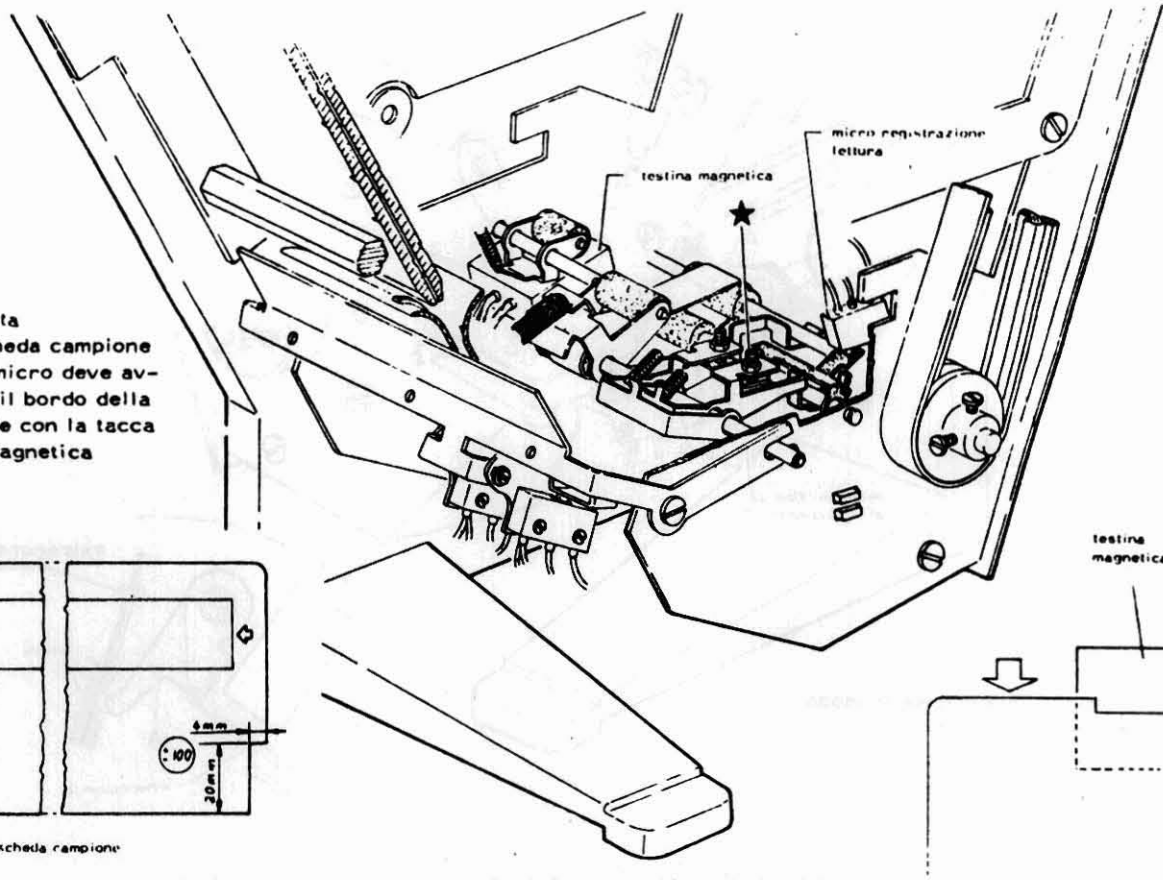

scheda campione

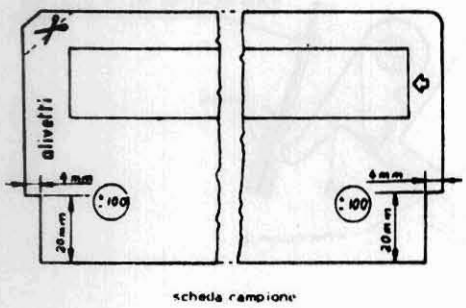
- Macchina spenta
- Inserire la scheda campione

- Lo scatto del micro deve avvenire quando il bordo della scheda campione coincide con la tacca sulla testina magnetica.

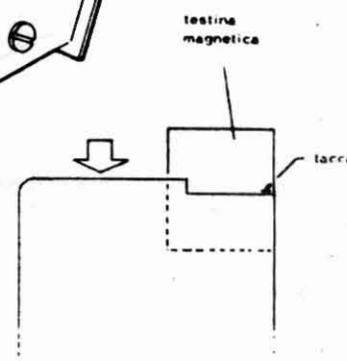
## 35 36 SCATTO DEL MICRO "REGISTRAZIONE/LETTURA" A FINE SCHEDA

- Macchina spenta
- Inserire la scheda campione
- Lo scatto del micro deve avvenire quando il bordo della scheda coincide con la tacca della testina magnetica



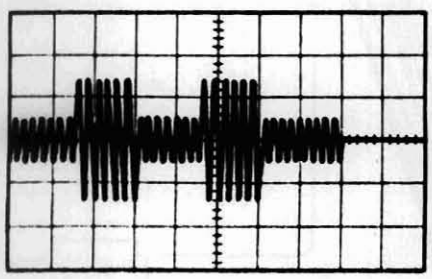

scheda campione



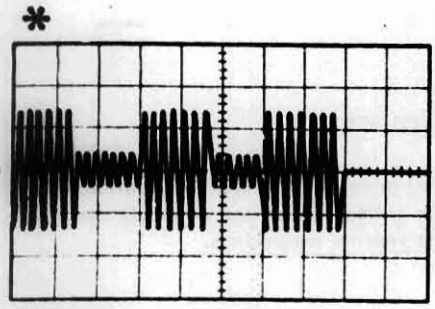

## 37 POSIZIONE DELLA TESTINA MAGNETICA (SKEW)

- Collegare il probe dell'oscilloscopio al Test Point 01TP della piastra "amplificatore cartolina"
- Alimentare la macchina ed inserire la cartolina di test N°1 ( per regolazione SKEW ) e verificare il segnale illustrato

*

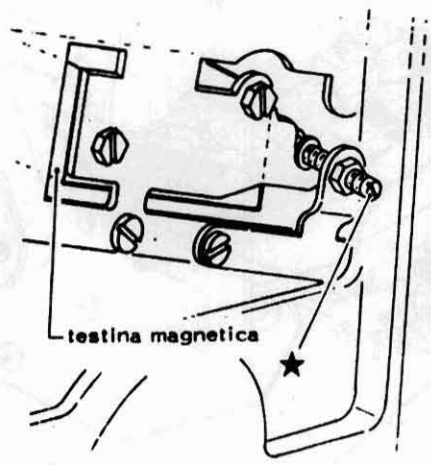


*

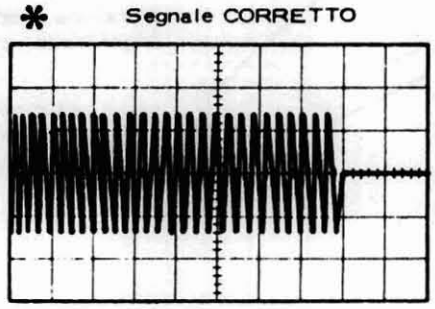


TESTINA MAL REGOLATA

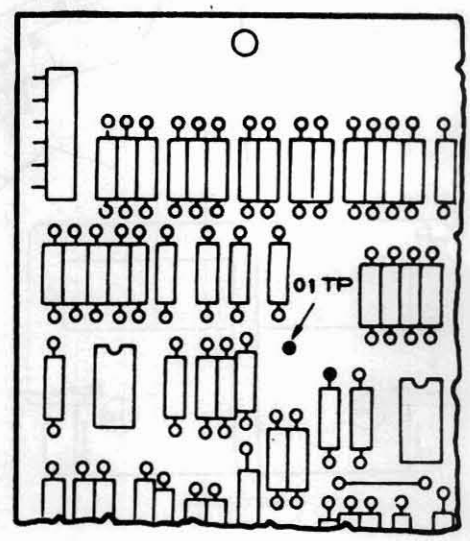
* 0,1 sec x☐ .2V x ☐




* Segnale CORRETTO



Piastra AMPLIFICATORE CARTOLINA

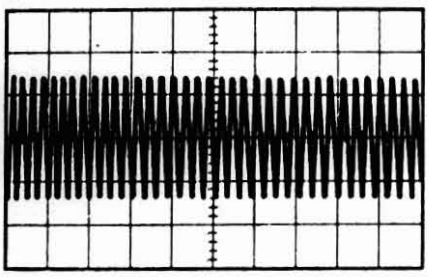


## 37a VERIFICA AMPIEZZA SEGNALE LETTURA

- Collegare il probe dell'oscilloscopio al test point 01 TP della piastra "Amplificatore Cartolina".
- Alimentare la macchina
- Introdurre la cartolina di test N° 2 "Campione di Ampiezza"
- Introdurre nuovamente, e più volte, la cartolina di test N° 2 "Campione di Ampiezza" e verificare, ad ogni "passata", che il valore letto nell'oscilloscopio sia 1000 volte, + 20%, più grande di quello indicato, a stampa, sulla cartolina di test N° 2.

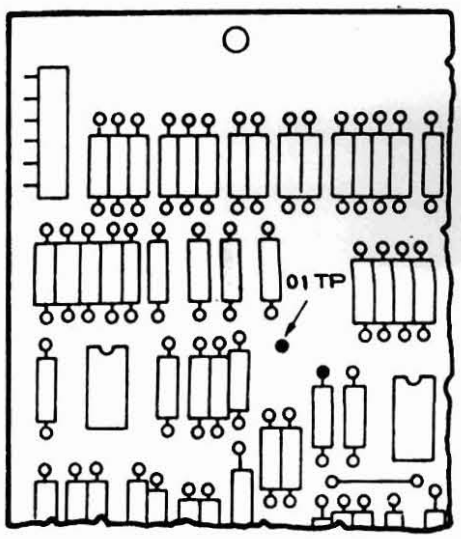
- Se non si hanno le condizioni richieste, verificare e/o sostituire :
  a) Integrità del rullino pressore
  b) Testina magnetica
  c) Piastra "Amplificatore Cartolina"

✱ Segnale CORRETTO



✱ 2 msec x ☐; .5V x ☐

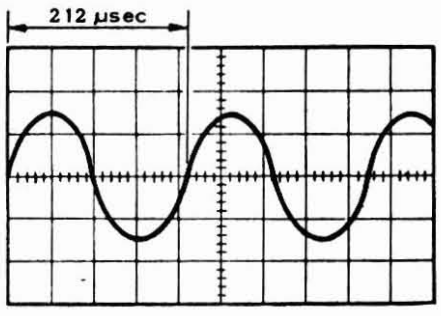
Piastra AMPLIFICATORE CARTOLINA




## 37b VERIFICA DEL JITTER

- Collegare il probe dell'oscilloscopio al test point 01 TP della piastra "Amplificatore Cartolina".
- Alimentare la macchina ed inserire la cartolina di test N°3 (campione di JITTER)
- Verificare che il periodo del segnale visualizzato sia di 212 $\mu$ sec $\pm$ 10%.
- Se non si hanno le condizioni richieste verificare : Motore, rullini e cinghie di trascinamento.

✱ Segnale CORRETTO




✱ 50 µsec x ☐; .5V x ☐

# 4. PIASTRA ALIMENTATORE

# INDICE

- ALIMENTATORE . . . . . pag. 4.01

. Uso del $\mu$ A723 per la stabilizzazione della tensione di +20 V . . . . . " 4.01

. Protezione dei cortocircuiti . . . . . " 4.02

## ALIMENTATORE +20 / -20

L'alimentatore SUCE +20/-20 è un alimentatore che utilizza il micrologico μA723 (VR01) per regolare la tensione +20 e -20.

Entrambe le tensioni sono protette dai cortocircuiti e il circuito generatore è nei due casi del tutto simile.

### IL MICROLOGICO μA723 (VR01)

All'interno del micrologico sono contenuti: (riferirsi alla figura 5)

- Un generatore di tensione di riferimento di 7, 15 V
- Un amplificatore differenziale
- Un transistor T1 che pilotato dal differenziale dà sull'emitter la tensione d'uscita stabilizzata
- Un transistor T2 per la protezione dai cortocircuiti.

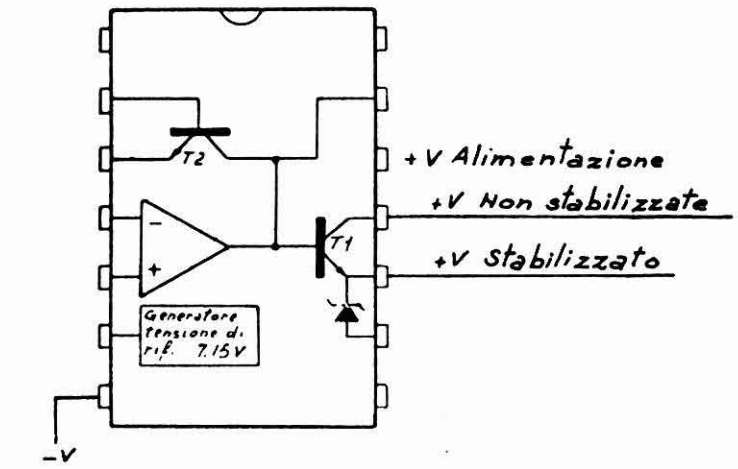



fig. .5

Uso dell μA723 per la stabilizzazione della tensione di +20 V

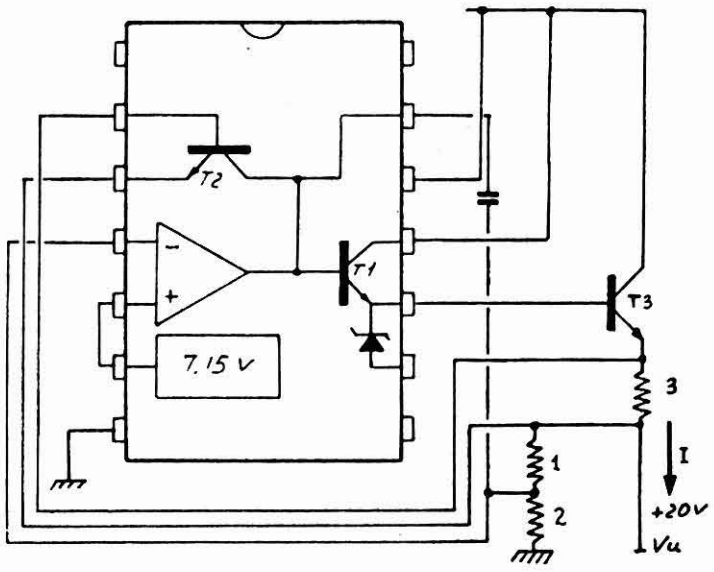


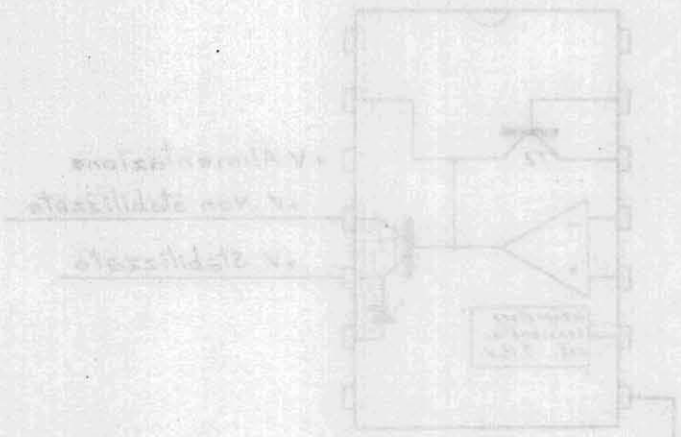

fig. 8

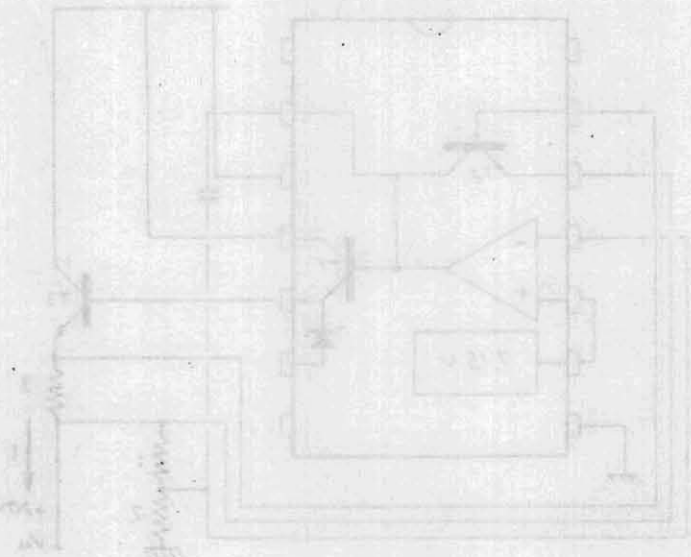
Le resistenze 1 e 2 formano un partitore che se alimentato con 20 V danno una tensione di circa 7, 15 volt sull'ingresso con inversione sull'amplificatore differenziale.

La stessa tensione di 7, 15 volt è fornita dal generatore interno ed è portata sull'ingresso senza inversione dell'amplificatore differenziale.
Un'eventuale variazione di tensione sull'uscita è amplificata dall'amplificatore differenziale che pilota il transistor T2 e T9 riportando le condizioni di equilibrio.

Protezione dai cortocircuiti

La corrente I del carico attraverso la resistenza 3 provoca una caduta che controlla la conduzione del transistor T2. Qualora la corrente diventi eccessiva il transistor T2 abbassa la tensione in base T1 fino a ridurre la corrente I a valori sopportabili dai componenti.





# 5. PIASTRA GOTE

# INDICE


FUNZIONE DELLA PIASTRA GOTE . . . . . pag. 5.01

- Microistruzioni per il trattamento del CIOTE in output . . . . . " 5.02

- Microistruzioni per il trattamento del CIOTE in input . . . . . " 5.03

- Microistruzioni per il trattamento del CLOCA . . . . . " 5.03

- PIASTRA GOTE (Schema a blocchi) . . . . . " 5.06

LOGICA DI FUNZIONAMENTO DEL GOTE . . . . . " 5.07

- CIOTE: canali output . . . . . " 5.07

- CIOTE: gestione dei fili ECODN ed ECRON . . . . . " 5.07

- CIOTE: canali input . . . . . " 5.07

- CLOCA: staticizzatori ECD per predisposizioni . . . . . " 5.08

- CLOCA: staticizzazione dei segnali impulsivi . . . . . " 5.08

- CLOCA: bus EFN . . . . . " 5.08

- CLOCA: bus EFD . . . . . " 5.08

- CLOCA: bus EFT . . . . . " 5.09

- CLOCA: logica delle interruzioni . . . . . " 5.09

## FUNZIONE DELLA PIASTRA "GOTE"

La piastra GOTE è necessaria per controllare con i microprogrammi diagnostici, la logica di canale del CPU 19 ed i governi delle unità periferiche senza impiegare unità periferiche.

Per poter riparare la logica di canale del CPU 19, il GOTE è munito di una serie di circuiti che ricevono i segnali dal CPU 19 sul canale di I/O e li riflettono sullo stesso canale; in questo modo è possibile emettere dei segnali e ricontrollarli nell'ambito della U. C.

La parte di circuiti che permettono la riparazione della logica di canale sul CPU19 si chiama CLOCA (controllo logica canale) fig. 5. 1.

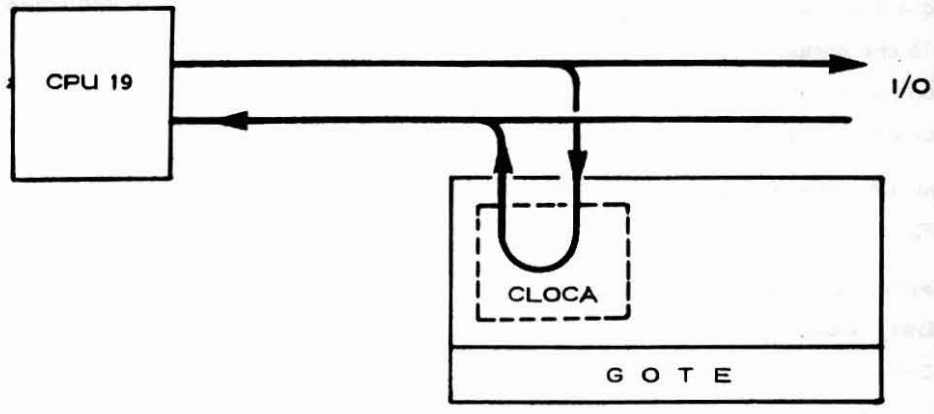



fig. 5. 1

La parte di circuiti che permettono la riparazione dei governi periferici è chiamata CIOTE (controllo I/O TEPO).

Quando si riparano i governi, il CIOTE può ricevere dati da CPU 19 attraverso il canale I/O (fig. 5. 2) e li porta sul governo in prova con un cavo da TEPO a TEPO che collega il governo in prova col GOTE.

Il CIOTE emula quindi una periferica che emette dei dati verso il governo, sotto il diretto controllo del microprogramma.

Il CIOTE può ricevere dati dal governo in prova, emulando anche in questo caso una U.P. e rinviarli al CPU 19 perchè li controlli.

Il F.F. SELEO abilita il passaggio dei dati sulla parte CIOTE o CLOCA.

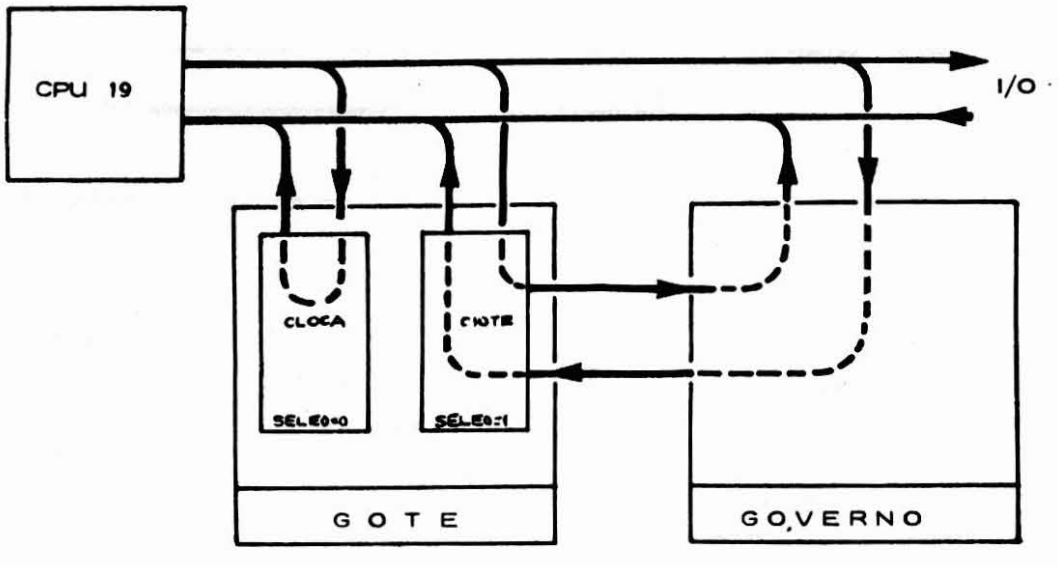



fig. 5. 2

I cavi GOTE-GOVERNO differiscono da governo a governo e interessano uno o due TEPO per piastra a seconde dei casi.

Esiste un cavo che richiude l'uscita da CIOTE sull'input nel CIOTE stesso per la riparazione della piastra GOTE.

- Microistruzioni per il trattamento del CIOTE in output

Il CIOTE opera esclusivamente quando il F.F. SELEO del GOTE 2 è ad 1 e quindi quando è selezionato.

Il nome del CIOTE è fisso ed è dato dai bit ECD70+ECD00 che devono essere X1111XXX.

Il CIOTE riceve i dati da CPU sul canale ECD0-F: i bit ECD8+F hanno funzioni di servizio mentre i bit ECD0+7 possono essere inviati al governo in prova.

I bit ECD0+7 possono essere inviati al governo in prova su 4 canali (chiamati CANALE OUTPUT da 1 a 4) di 8 bit ognuno e poichè tra i governi in prova possono esserci dei governi linea che s'interfacciano con circuiti "line drive", ciò che compare sul canale 4 è ripetuto su un quinto canale pilotato per l'appunto da circuiti "line drive" con livelli da +12 e -12V (fig. 5. 2).

I dati sono emessi con una microistruzione "CAE L (x)" in cui i bit:

- ECDC1+ECDF1 devono essere ad 1 affinchè il GOTE venga abilitato a riavere i dati emessi con la CAE.
- ECD91+ECDB1 selezionano il canale su cui devono essere inviati i dati; e precisamente.
  ECD91, ECDA1 ed ECDB1 a zero - canale 1
  ECD91 ad 1 - canale 2
  ECDA1 ad 1 - canale 3
  ECDB1 ad 1 - canale 4 e canale 5.
- ECD01+ECD71 sono i dati da emettere sul canale selezionato.

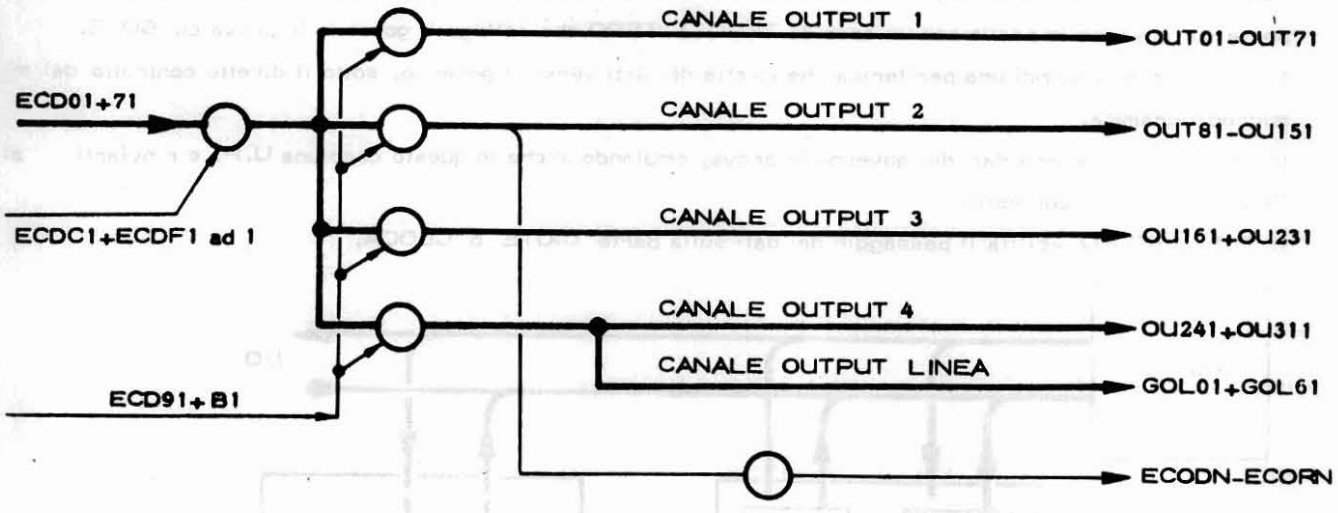



fig. 5.3

- I dati emessi su un canale non alterano dati già emessi sugli altri canali.
- I bit del canale 1 sono forzati all'accensione del sistema nelle seguenti condizioni:
  OUT01 + 21 a zero
  OUT31 + 51 ad 1.
- I bit OU14N e OU15N controllano anche i segnali ECODN ed ECRON sulla TEPO.
- La microistruzione COM3 che emette ECORN, resetta SELEO ma non azzera i bit presenti sul canali output del CIOTE.

- Microistruzioni per il trattamento del CIOTE in INPUT

L'input su CIOTE avviene su 4 canali di 8 bit più un quinto canale di 5 bit che s'interfaccia con "Line driver" per le connessioni ai governi linea.

I canali 1, 2 e 3 sono perfettamente indipendenti, mentre il canale 4, relativamente ai 5 bit più significativi, può portare o i bit provenienti dal canale 4 stesso o i bit del canale linea in funzione dello stato dei bit OU111+131 del canale 2 di OUTPUT.

Il "canale linea" è abilitato se OU111, OU121 ed OU131 sono tutti e tre ad 1 (figura 54).

I dati sono introdotti su CPU 19 attraverso il canale dati EPDON+7N con una microistruzione "DEA LX" emessa a livello 4.

Ricordiamo che con la microistruzione DEA gli 8 bit del registro B (x) vengono emessi sul bus ECD81+F1 e gli 8 bit presenti sul bus EPDON+7N vengono introdotti in A (x).

I bit emessi con la DEA hanno le seguenti funzioni:

- ECDC1+ECDF1 possono assumere una configurazione qualsiasi e non sono significativi
- ECD91+ECDB1 selezionano il canale che deve essere convogliato sul bus EPDON+7N nel modo seguente:

  ECD91, ECDA1, ECDB1 a zero - canale 1

  ECD91 ad 1 - canale 2

  ECDA1 ad 1 - canale 3

  ECDB1 ad 1 - canale 4 o canale linea.

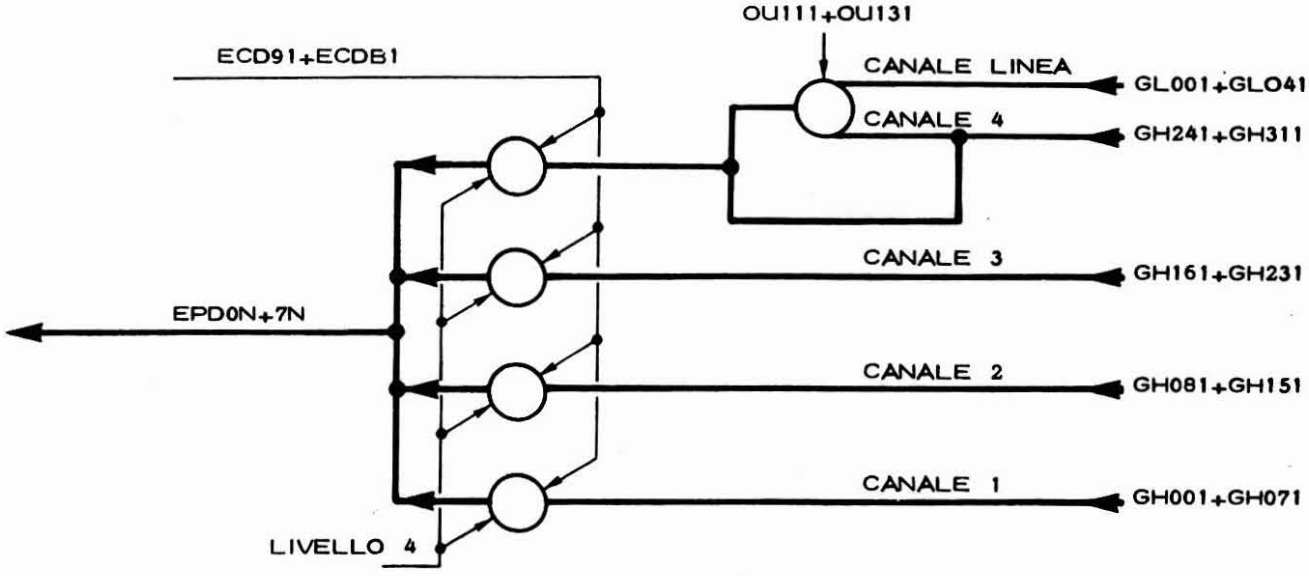



fig. 5.4

- Microistruzioni per il trattamento del CLOCA

La parte CLOCA del GOTE è abilitata con SELEO a zero.

Il CLOCA riceve i dati da CPU 19 sotto forma di:

a) segnali impulsivi

   ECOT, ECOC, ECOS, ECORA, ECOF, ECM1, ECM2, ECM3

b) segnali non impulsivi

   ECDO+F, ECCA, ECCB, ECC1, ECC2

Il CLOCA riflette i segnali ricevuti da U.C. attraverso i bus EPD0+7N, EPN0+7N, EPT0+7N,EPR1N, EPR2N, EPR3N, EPR4N, i segnali impulsivi devono prima di essere riflessi, essere staticizzati.

Il CLOCA inoltre, sotto il controllo del microprogramma, deve avviare le richieste di interruzione ai diversi livelli.

Le predisposizioni, per la selezione dei lavori da eseguire sul CLOCA, sono fatte con delle microistruzioni CAE che emettono 16 bit di cui:

- ECDC1 + ECDF1 devono essere ad 1 per abilitare la staticizzazione degli altri 12 bit del bus.
- ECDE1 + ECD01 sono utilizzati per abilitare i diversi organi del CLOCA secondo la tabella 5. 5.

PREDISPOSIZIONI CON CAE EMESSE CON SELEO A ZERO E RIVOLTE A GOTE (ECDC1, ECDD1, ECDE1, ECDF1=1)

| BUS EMESSO CON LA CAE | | | | | | | | | | | | | | | | PREDISPOSIZIONI |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| ECDF1 | ECDE1 | ECDD1 | ECDC1 | ECDB1 | ECDA1 | ECD91 | ECD81 | ECD71 | ECD61 | ECD51 | ECD41 | ECD31 | ECD21 | ECD11 | ECD01 | |
| 1 | 1 | 1 | 1 | - | - | - | - | - | - | - | - | - | - | 0 | 0 | Forzano a (FF)16 i bus EPTON+EPT7N ed EPDON+EPD7N |
| 1 | 1 | 1 | 1 | - | - | - | - | - | - | - | - | - | - | 0 | 1 | Abilitano sul bus EPD0N+EPD7N il registro di staticizzazione dei segnale impulsivi<br>Abilitano ECCA2 su EPT01, ECCB2 su EPT1N, ECC12 su EPT2N, ECC22 su EPT3N, azzera gli antri EPT |
| 1 | 1 | 1 | 1 | - | - | - | - | - | - | - | - | - | 1 | 0 | 1 | ECD21 abilita la staticizzazione di ECOTO ed ECD11 e ECD01 abilitano la sua riflessione su EPD01 |
| 1 | 1 | 1 | 1 | - | - | - | - | - | - | - | - | 1 | - | 0 | 1 | ECD31 abilita la staticizzazione di ECOC ed ECD11 e ECD01 abilitano la sua riflessione su EPD11 |
| 1 | 1 | 1 | 1 | - | - | - | - | - | - | - | 1 | - | - | - | - | ECD41 abilita il set della richiesta interruzione asincrona di livello 3A |
| 1 | 1 | 1 | 1 | - | - | - | - | - | - | 1 | - | - | - | - | - | ECD51 abilita il set della richiesta interruzione asincrona di livello 3B |
| 1 | 1 | 1 | 1 | - | - | - | - | - | 1 | - | - | - | - | - | - | ECD61 abilita il set della richiesta interruzione asincrona di livello 1 |
| 1 | 1 | 1 | 1 | - | - | - | - | 1 | - | - | - | - | - | - | - | ECD71 abilita il set della richiesta interruzione asincrona di livello 2 |
| 1 | 1 | 1 | 1 | - | - | - | 1 | - | - | - | - | - | - | 0 | 1 | ECD81 abilita staticizzazione di ECOS e ECD01 ed ECD11 abilitano la sua riflessione su EPD21 |
| 1 | 1 | 1 | 1 | - | - | 1 | - | - | - | - | - | - | - | 0 | 1 | ECD91 abilita la staticizzazione di ECM30 ed ECD01 con ECD11 abilitano la sua riflessione su EPD31 |
| 1 | 1 | 1 | 1 | - | 1 | - | - | - | - | - | - | - | - | 0 | 1 | ECDA1 abilita la staticizzazione di ECM20 ed ECD01 con ECD11 abilitano la sua riflessione su EPD41 |
| 1 | 1 | 1 | 1 | 1 | - | - | - | - | - | - | - | - | - | 0 | 1 | ECDB1 abilita la staticizzazione di ECM1O ed ECD01 con ECD11 abilitano la sua riflessione su EPD51 |
| 1 | 1 | 1 | 1 | - | - | - | - | - | - | - | - | - | - | 0 | 1 | ECDC1 abilita la staticizzazione di ECORO ed ECDD1 quella di ECOFO, ECD01 ed ECD11 ne abilitano la riflessione rispettivamente su EPD51 e EPD61 |
| 1 | 1 | 1 | 1 | - | - | - | - | - | - | - | - | - | - | 1 | 0 | Forza a (FF)16 il bus EPN0 +EPN71, abilita ECD0N+ECD7N su EPDON+EPD7N, abilita ECD8N+ECDFN su EPTON+EPT7N |
| 1 | 1 | 1 | 1 | - | - | - | - | - | - | - | - | - | - | 1 | 1 | Forza a zero il bus EPN01 + EPN71 e forza ad 1 il bus EPD01 + 71 e EPT01 + 71 |

Tabella 5. 5

- Trattamento dei segnali non impulsivi

Predisponendo opportunamente i bit ECD01 ed ECD11 con una CAE di predisposizione è possibile forzare ad 1 o a zero i tre bus EPDON, EPT ed EPN come è anche possibile riflettere direttamente su di essi i segnali ECDON+ECDFN o i segnali ECCA2+ECC22, secondo la tabella 5. 5.

In genere quindi con una CAE è possibile predisporre su uno dei tre bus di input su CPU la configurazione voluta.

La microistruzioni: DEA, ENTL, ENTIB ed ENUA che possono essere emesse a qualsiasi livello, sono utilizzabili per introdurre su U. C. i bus EPD, EPN ed EPT.

- Trattamento dei segnali impulsivi

Per riflettere su CPU i segnali impulsivi occorre:

a) emettere una CAE che abiliti la staticizzazione di uno o più segnali impulsivi secondo la tabella 5. 5. e che sul bus EPD abiliti la riflessione del registro di staticizzazione dei segnali impulsivi

b) emettere il segnale a carattere impulsivo che si vuol riflettere su CPU

c) emettere un ECOT che staticizzi definitivamente il segnale voluto sul registro di staticizzazione

- Trattamento delle interruzioni

Per comandare una richiesta interruzione da CLOCA occorre:

a) inviare una microistruzione CAE che predisponga il set della stazioni asincrone di interruzione

b) emettere lo strobe di sincronismo relativo al livello di interruzione, ECM3, ECM2, ECM1.

Realizzate le operazioni dei punti a) e b) nascono le richieste interruzioni sui fili EPR1N, EPRN2, EPRAN, EPRBN.

L'accettazione di una interruzione da parte del CP.U. provoca l'emissione di uno dei segnali di accetta - zione di interruzione: ECC10, ECC20, ECCAO, ECCBO a secondo del livello di interruzione accettato.

Il segnale di accettazione dell'interruzione resetta sul CLOCA la stazione asincrona di richiesta interruzione, e una seguente emissione dello strobe di sincronismo livello in corso provoca la fine della richie - sta interruzione sincrona.

# PIASTRA GOTE (Schema a blocchi)

## CIOTE

| LOGICA SEGNALE | | |
|---|---|---|
| SIGNIFICATO | LIV. | NOME |
| BUS DA U.C. | 0 | ECDON ÷ ECDFN |
| INTERRUZIONE LIV. 3B ACCETTATA | 0 | ECCBA |
| INTERRUZIONE LIV. 3 A ACCETTATA | 0 | ECCAA |
| INTERRUZIONE LIV. 2 ACCETTATA | 0 | ECC20 |
| INTERRUZIONE LIV. 1 ACCETTATA | 0 | ECC10 |
| BUS DA GOTE | 0 | EPDON ÷ EPDTN |
| BUS NOME DA GOTE | 0 | EPNON ÷ EPNTN |
| BUS TIPO DA GOTE | 0 | EPTON ÷ EPTTN |
| RICHIESTA INTERRUZIONE LIV. 3A | 0 | EPRAN |
| RICHIESTA INTERR. LIV. 3B | 0 | EPRBN |
| RICHIESTA INTERR. LIV. 1 | 0 | EPR1N |
| RICHIESTA INTERR. LIV. 2 | 0 | EPR2N |
| STROBE SINCRONISMO PER RICHIESTA INTERR. | 0 | ECM1N ÷ ECM3N |
| STROBE CARATTERE | ⊔ | ECOTN |
| STROBE RICH. INTERRUZ. | ⊔ | ECM3N |
| STROBE RICH. INTERRUZ. | ⊔ | ECM2N |
| STROBE RICH. INTERRUZ. | ⊔ | ECM1N |
| INVIO COMANDO | ⊔ | ECOCN |
| INVIO SELEZIONE | ⊔ | ECOSN |
| RESET DEI GOVERNI | ⊔ | ECORN |
| FINE DA U.C. | 0 | ECOFN |

ALLA DECODIFICA DI LIVELLO 4 E ALLA LOGICA DI INTERRUZIONE ACCETTATA

DECODIFICA CAE e DAE PER GOTE (ECDC1 ÷ F1 ed 1) → BIPS2, ECOC, ECOT — 001

SELEZIONE CANALE OUTPUT (ECD91, ECDA1, ECDB1)

| ECD91 | ECDA1 | ECDB1 | |
|---|---|---|---|
| 0 | 0 | 0 | CAN12 |
| 1 | X | X | CAN22 |
| X | 1 | X | CAN32 |
| X | X | 1 | CAN42 |

SELEZIONE CIOTE: SELE0 = 1 NOME ECD31-61 ed 1 — ECOS, ECD31 ÷ 61, ECOT → SELE0 — 001

POSIZIONAMENTO INIZIALE BUS OUTPUT: OUT00 ÷ 20 = 1, OUT30 ÷ 50 = 0 → OUT0N-2N ÷ OUT30 ÷ 50 — 001

ECD01 ÷ ECDT1 — X16 — 003

STATICIZZATORE CANALE 1 — 001 → OUT0N ÷ TN

STATICIZZATORE CANALE 2 — 001 → OUT8N ÷ OU15N, OU110 - 130

STATICIZZATORE CANALE 3 — 001 → OU16N ÷ OU23N

STATICIZZATORE CANALE GOL + 4 — 001 → OU24N ÷ OU31N

OU15N, OU14N — X1 — 001

X8 — 001

"T" LINE DRIVE" — 002

DECODIFICA OU110 ÷ 130 = 1 → OU110 ÷ 130 — AGOL2 — 002

ECOT3, ECD91 ÷ B1 → MEMORIZZAZIONE 3 BIT SELEZIONE CANALE INPUT → VAN20, VAN40, VAN80 — 002

SELEZIONE CANALE INPUT (ECD91, ECDA1, ECDB1)

| ECD91 | ECDA1 | ECDB1 | |
|---|---|---|---|
| X | X | 1 | GH24B - 26B |
| 0 | 1 | 0 | GH16B - 23B |
| 1 | 0 | 0 | GH08B - 15B |
| 0 | 0 | 0 | GH00B - 07B |

002

1 / 0 — GOL0A - 4A, GH27B - 31B — 002

5" LINE RECEIV." — X8 — 002

DECODIFICA LIVELLO 4 → ABSE2 — 001

ABSE2, BIDXX — X8 — BIDIO ÷ BIDGO — 002

EPDON ÷ EPDTN

EPDON ÷ EPDTN — X8 — 002

DECODIFICA CAE PER CLOCA → SELEN, ECOC, ECOT, BIPS2 — CASEA — 003

## CLOCA

STATICIZZATORI ECD EMESSI CON CAE PER CLOCA — 003 → SE020, SE090, SEA0, SE0B0, SE030, SE080, SE0C0, SE000

SE000-10 → SE01 | SE00 → ENSE2 = 1 — ENSE2, EPNXN — X8 — 003

M, ECD01-T1, T → MP000-T0 — X8 — 003

M, ECD81-F1, ECCA2-ECC12, T → MPT00-T0 — X8 — 003

X4 — 004 → EPPA0, ERRB0, EPPI0, EPP20

STAZIONI SINCRONE INTERRUZIONI — ECM3N, ECM3N, ECM1N, ECM2N — 004 → STATO, SECO0, PR110, PR120

ECM1 ÷ 8

STAZIONI ASINCRONE INTERRUZIONI

| AB. SET | AB. RESET |
|---|---|
| SE040-CASEA | RIMAA |
| SE050-CASEA | ECCB-ERRB |
| SE060-CASEA | RIMCA |
| SE0T0-CASEA | RIMDA |

004

LOGICA INTERRUZIONE ACCETTATA E RESET STAZIONE ASINCRONA — 004 → RIMDA, RIMCA, RIMAA

ECCA2, ECC12, ECC22

STATICIZZAZIONE E SELEZIONE SEGNALI IMPULSIVI

SE020, SE090, SEA0, SE0B0 → ECOT0, ECM30, ECM20, ECM10 — X4 — 004 → COTTO, CMM30, CMM20, CMM10

SE030, SE0B0, SE0C0, SE0D0 → ECOC1, ECOS1, ECOR1, ECOF1 — X4 — 004 → COCCO, COSSO, CORRO, COFFO

COTTO ÷ COFFO

| LOGICA TEPO A e B | | |
|---|---|---|
| ECDN | 0 | PER MODO DIAGNOSTICO |
| ECRON | 1 | SIMULA OSCILLATORE |
| OUT01 ÷ OUT71 | 1 | OUTPUT CANALE 1 |
| OUT81 ÷ OU151 | 1 | OUTPUT CANALE 2 |
| OU161 ÷ OU231 | 1 | OUTPUT CANALE 3 |
| OU241 ÷ OU311 | 1 | OUTPUT CANALE 4 |
| GOL01 ÷ GOL61 | 1 | OUTPUT CANALE GOL |
| GL001 ÷ GL041 | 1 | INPUT CANALE GOL |
| GH311 ÷ GH241 | 1 | INPUT CANALE 4 |
| GH231 ÷ GH161 | 1 | INPUT CANALE 3 |
| GH151 ÷ GH081 | 1 | INPUT CANALE 2 |
| GH071 ÷ GH001 | 1 | INPUT CANALE 1 |

fig. 5.6



9756.30.1 (02)

## LOGICA DI FUNZIONAMENTO

Lo studio va fatto con riferimento allo schema a blocchi di figura 5.6 e ai DISL.

### Logica di selezione CIOTE

Una microistruzione ESE che emette il nome hardware "X1111XXX" provoca il set di SELEO (DISL 001-A3) e quindi la selezione del CIOTE.
Una microistruzione ESE che emette un nome hardware diverso da quello del CIOTE provoca il reset di SELEO.

### CIOTE: canali output

I dati emessi con le microistruzioni CAE sono accettati dal CIOTE se SELEO è ad 1 e il bus emesso ha i bit ECDC1, ECDD1, ECDE1 ed ECDF1 ad 1 che generano BIP52 (DISL 001-R1).
In presenza di BIP52 e di SELEO i bit ECD91, ECDA1 ed ECDB1 abilitano la selezione dei canali 1, 2, 3 e 4 + canale GOL coi segnali CAN 12, CAN22, CAN32, CAN42 (DISL 001, R5+U5), secondo la tabella riportata sullo schema a blocchi di fig. 5.6.
I dati emessi con la CAE sul bus ECD01+ECD71 sono staticizzati su uno dei 4 registri staticizzatori di canale a seconda di quale viene abilitato.
Ogni staticizzatore di canale è composto da 8 F.F. tipo LATCH (DISL 001-righe E, F, G, L).
Le uscite dei quattro staticizzatori canale sono rigenerate da circuiti tipo NAD1 (DISL 001-righe M, N, P e Q) e vengono emessi sulle TEPO per poter pilotare il governo in prova.
Le ultime sette uscite del canale 4 pilotano anche 7 circuiti tipo "line receiver" (DISL 002-riga 7) per la connessione ai GOL.

- Predisposizioni dei canali all'accensione

  Il segnale RESEN forza a zero OUTON, OUT1N e OUT2N e forza ad 1 OUT30, OUT40, OUT50 (DISL 001, A7+C7, B8+C8).

### CIOTE: gestione dei fili ECODN ed ECRON

Si ricorda che il segnale ECODN su un governo di solito blocca la temporizzazione interna del governo ed ECRON si sostituisce ad essa.
I segnali ECODN ed ECRON ripetono rispettivamente due fili del canale 2 di OUTPUT e rispettivamente OU150 e OU140 (DISL 001- S7 e S8)

### CIOTE: canali input

I segnali in arrivo sui canali 1, 2, 3 e 4 sono rigenerati da circuiti tipo NAD1 (DISL 002 righe A, B, C e D).
I segnali dei canali 1, 2 e 3 e i 3 bit meno significativi del canale 4 sono portati all'ingresso di 8 circuiti "4 INPUT MULTIPLEXERS" (DISL 002, P2+P5, R2+R5).
I 5 bit più significativi del canale 4 e 5 bit del canale linea, adattati ai normali livelli di zero e +5V (sui circuiti riportati sul DISL 02 in riga E) vanno all'ingresso di una reté AND-NOR (DISL 002-riga G4) in cui il segnale AGOL abilita il passaggio degli uni o degli altri.

Le uscite della rete di AND-NOR completano gli ingressi dei 5 circuiti "4 INPUT MULTIPLEXER" visti sopra.

Il controllo degli 8 "4 input multiplexer" è fatto da una rete logica che staticizza i bit emessi con la DEA su ECD91, ECDA1 ed ECDB1 (DISL 02, L1, M1, N1) e che genera i segnali SES01 e SES11 (DISL 02, M2 e N2).

Il tipo di decodifica fatto è schematizzato in figura 5.6.

L'invio dei dati sul bus EPDON+7N (DISL 002, P6+P8, N6+N8) è condizionato dalla presenza di ABSE2 (DISL 01-D3) che decodifica il livello 4.

Il segnale AGOL2 che seleziona sui bit più significativi del canale 4 il canale 4 stesso o il canale linea dipende dallo stato dei bit OU110, OU120, OU130 i quali selezionano il governo linea quando sono tutti ad 1.

CLOCA: staticizzatori ECD per predisposizioni

Le microistruzioni CAE emesse con SELEO a zero generano CASE2 (DISL 003-R3) se hanno i bit ECDC1+ECDF1 tutti ad 1 e CASE2 abilita la staticizzazione dell'intero bus ECD sui latch che generano SEOOO+SEOFO (DISL 003-colonna 2).

CLOCA: staticizzazione dei segnali impulsivi

I segnali a carattere impulsivo sono staticizzati rispettivamente:

- ECOTO su COTTO (DISL 004-E4) se SEO20=1
- ECM30 su CMM30 (DISL 004-G5) se SEO90=1
- ECM20 su CMM20 (DISL 004-M4) se SEOAO=1
- ECM10 su CMM10 (DISL 004-M5) se SEOBO=1
- ECOCO su COCCO (DISL 004-P5) se SEO30=1
- ECOSO su COSSO (DISL 004-P5) se SEO80=1
- ECORO su CORRO (DISL 004-P5) se SEOCO=1
- ECOFO su COFFO (DISL 004-P5) se SEODO=1

La seguente tabella è schematizzata sinteticamente anche in figura 5.6.

Una qualsiasi CAE rivolta a CLOCA, o un ECOR resettano i segnali COTTO, CMM30, CMM20 e CMM10.

CLOCA: bus EPN

Il bus EPN (DISL 03-colonna 8) sul CLOCA è controllato da ENSE2 e può essere forzato a (FF)16 o a (00)16.

Il segnale ENSE2 (DISL 003-D8) forza EPD00+EPD70 a (FF)16 solo se il bit SEOOO è zero e SE011 è ad 1.

CLOCA: bus EPD

Il bus EPDON+EPD7N è generato dai gate riportati sul DISL 003 in colonna 9 e che ripetono le uscite degli 8 circuiti "4 INPUT MULTIPLEXERS" riportati sul DISL 003 in colonna 4.

I multiplexer sono controllati dai bit SE00B e SE018 predisposti con una microistruzione CAE.

Il bus EPD può essere forzato a (FF)16 e a (00)16 abilitando rispettivamente gli ingressi 4 e 1 dei multiplexer, oppure può ripetere il bus ECD0+ECD7 o il registro di staticizzazione dei segnali impulsivi.

In figura 5.6 è indicato con una tabellina il comportamento dei multiplexer.

## CLOCA: bus EPT

La logica del bus EPT (DISL 003-colonna 7) è del tutto simile a quella del bus EPD e in figura 5.6 ne è sintetizzato il funzionamento.

## CLOCA: logica delle interruzioni

Le stazioni asincrone delle interruzioni sono:

- STATO (DISL 004-E7) per il livello 3A abilitato da SE040=1
- SECCO (DISL 004-C6) per il livello 3B abilitato da SE050=1
- PR110 (DISL 004-G7) per il livello 1 abilitato da SE060=1
- PR120 (DISL 004-M7) per il livello 2 abilitato da SE070=1

Le stazioni sincrone possono essere predisposte al set con una CAE rivolta al CLOCA e vengono settate con l'emissione di un ECOT.
Le stazioni asincrone sono sincronizzate dagli strobe di sincronismo e controllano le stazioni sincrone EPPAO (LIV 3A), (ERRBO (LIV 3B), EPPIO (LIV1) ed EPP20 (LIV2).
Le stazioni sincrone causano la nascita delle richieste tra interruzione ai vari livelli coi segnali EPR (DISL 004-colonna 9).
Quando le interruzioni sono accettate da CPU nascono i segnali RIMAA, RIMCA e RIMDA che abilitano il reset delle stazioni asincrone.